

ADP16F0X

数字信号处理器

数据手册

Advancechip



Electronics

湖南进芯电子科技有限公司

2019年6月

版本号 Ver1.1

目录

1 产品特征	6
1.1 芯片描述	8
1.2 ADP16F0x 器件概述	9
1.3 产品编码	12
1.4 信号说明	13
2 功能概述	18
2.1 内存映射	19
2.2 外设存储器映射	20
2.3 设备复位和中断	21
2.4 ADP16F0x CPU	25
2.5 ADP16F0x 指令集	25
2.6 寻址模式	25
2.7 实时 JTAG 和分析	25
2.8 DSP CPU 内部结构	27
2.8.1 中央处理器	29
2.8.2 输入定标移位器	29
2.8.3 乘法器	30
2.8.4 中央算术逻辑单元	30
2.8.5 累加器	30
2.8.6 辅助寄存器算术单元 (ARAU)	30
2.9 内部存储器	31
● 扩展	31
2.9.1 双存取 RAM (DARAM)	31

2.9.2 单存取 RAM (SARAM)	31
2.9.3 扩展存取 RAM (SARAM)	31
2.9.4 引导 BootROM.....	32
2.9.5 闪存 Flash.....	32
2.10 片上 LDO 电源管理	32
3 外设	33
3.1 事件管理器模块 (EM1 , EM2)	33
3.1.1 通用(GP)定时器	35
3.1.2 完全比较单元.....	35
3.1.3 可编程死区发生器.....	35
3.1.4 PWM 波形生成.....	36
3.1.5 PWM 特性.....	36
3.1.6 捕捉单元	36
3.1.7 正交编码脉冲(QEP) 电路.....	37
3.2 模数转换器 (ADC)	37
3.2.1 ADC 的特性	37
3.2.2 模数转换 (ADC) 寄存器.....	38
3.3 控制器局域网络(CAN) 模块.....	42
3.3.1 CAN 控制器架构	43
3.3.2 CAN 中断逻辑.....	43
3.3.3 CAN 存储器映射	44
3.4 串行通信接口 (SCI) 模块.....	45
3.5 串行外设接口 (SPI) 模块.....	47
3.6 PLL 时钟模块.....	49
3.6.1 外部参考晶体时钟选项.....	50
3.6.2 外部参考振荡器时钟选项	50
3.6.3 低功耗模式	50
3.6.4 时钟域.....	50
3.6.5 其他掉电选项.....	51
3.7 数字 I/O 口以及复用引脚功能	51

3.7.1 复用 I/O 引脚的描述	51
3.7.2 数字 I/O 控制寄存器	54
3.8 看门狗 (WD) 的定时器模块	54
4 开发支持	56
4.1 软件开发工具	56
4.2 硬件开发支持:	56
4.3 文档支持	58
5 电气规范	59
5.1 绝对最大额定值	59
5.2 建议的运行条件 ^①	60
5.3 建议运行温度范围内的电气特性	61
5.4 流耗	61
5.5 流耗图	62
5.6 减少流耗	62
5.7 测量参数信息	63
5.8 信号转换电平	63
5.9 时序参数符号	64
5.10 定时参数的通用注释	65
5.11 用于 PLL 电路启用的外部参考晶振/时钟	65
5.12 复位时序	66
5.13 低功耗模式时序	69
5.14 LPM2 唤醒定时	70

5.15	XF 和 BIO 时序	72
5.16	时序事件管理	72
5.16.1	PWM 时序	72
5.16.2	捕捉单元和 QEP 时序	74
5.16.3	中断时序	74
5.17	通用输入/输出时序	75
5.18	SPI 主模式时序参数	77
5.19	SPI 受控模式时序参数	81
5.20	10 位模数转换器 (ADC)	85
5.21	建议运行环境	85
5.22	ADC 运行频率	85
5.23	Flash 参数	86
5.24	在推荐运行条件范围下的 ADC 电气特性	86
6	外设寄存器说明	87
7	机械数据	100

1 产品特征

•采用高性能 CMOS 工艺

- 工作主频 50MHz
- 低功耗设计 (内核 1.8V , I/O 电压 3.3V)
- 集成片内 1.8V 线性稳压电源 (LDO)

•支持 JTAG 在线仿真

•高性能 16 位 CPU

- 单周期 16 位 x16 位乘累加(MAC)运算
- 哈佛(Harvard)总线架构
- 快速中断响应和处理
- 可使用 C/C++和汇编语言高效率编程

•片内存储器资源

- B0 和 B1 : 2 块 256 x 16 位 DARAM
- B2 : 32x16 位 DARAM
- I0 : 2K x 16 位 SARAM
- E0 : 6K x 16 位 SARAM
- 32K x 16 位 Flash

•时钟和系统控制

- 支持动态锁相环(PLL)分频系数调整
- 片内振荡器
- 看门狗定时器

•2 个外部中断接口

•支持 48 个外设中断的外设中断扩展块(PIE)

•电机控制外设 (PWM 产生电路)

- 事件管理器 1(EM1), 事件管理器 2(EM2)
- 分别包括 : 2 个 16 位定时器, 6 个数值比较器/PWM 输出, 3 个捕获单元, 1 个正交编码电路。

•串行端口外设

- 串行外设接口(SPI)
- 串行通信接口(SCI), 兼容通用异步收发(UART) 标准
- 局域网络(CAN)控制器

- **10 位 16 通道模数转换器(ADC)**

- 2 x 8 通道输入复用器
- 两个采样保持电路
- 单一/同步转换
- 快速转换速率：250ns/4MSPS

- **40 个通用 I/O (GPIO) 引脚**

- **先进的仿真功能**

- 分析和断点功能
- 基于硬件的实时调试

- **开发工具**

- ANSI C/C++ 编译器/汇编语言/连接器
- 支持 Code Composer Studio™ IDE
- 支持 DSP/BIOS™
- JTAG 仿真器

- **低功耗模式和省电模式**

- 支持 IDLE (空闲)、STANDBY (待机)、HALT (暂停) 模式
- 可禁用独立外设时钟

- **强大的静电泄放(ESD)防护能力**

- ESD 人体模式(HBM): +4000V/-4000V
- ESD 机器模式(MM): +400V/-400V
- 闩锁效应(Latch-up)触发电流: 400mA

- **封装选项**

- LQFP100
- LQFP48

- **产品等级**

- C : 消费级
- G : 工业级

1.1 芯片描述

ADP16x 器件提供增强型 DSP 架构设计，以实现低成本，低功耗和高性能处理能力。为数字电机和运动控制应用而优化的几种高级外设已经被集成，以提供一个真正的单芯片 DSP 控制器。与现有的 DSP 控制器设备代码兼容时，ADP16x 提供更高的处理性能和更高水平的外设集成。请参阅“ADP16x 器件概述”手册了解器件特定功能。

ADP16x 器件提供了一系列内存大小和不同的外设，以满足各种应用所需的特定性价比。高达 32K x 16bit 闪存设备为批量生产提供了经济高效的可重编程解决方案。基于 Flash 的器件包含一个 1Kx16bit 的启动 ROM

所有 ADP16x 器件至少提供一个事件管理器模块，该模块已针对数字电机控制和功率转换应用进行了优化。该模块的功能包括中心和/或边沿对齐的 PWM 产生，防止直通故障的可编程死区以及同步模数转换。具有双事件管理器的设备可通过一个 DSP 控制器启用多个电机和/或变频器控制。

高性能 10 位模数转换器 (ADC) 的最小转换时间为 250 ns，可提供多达 16 个通道的模拟输入。ADC 的自动排序功能允许在单个转换会话中最多进行 16 次转换，而无需任何 CPU 开销。

串行通信接口 (SCI) 集成在所有设备上，为系统中的其他设备提供异步通信。对于需要额外通信接口的系统，ADP16F0x 提供一个 16 位同步串行外设接口 (SPI)。ADP16F0x 还提供符合 2.0B 规格的控制局域网络 (CAN) 通信模块。为了最大限度地提高器件灵活性，功能引脚也可以配置为通用输入/输出 (GPIO)。

为了简化开发时间，JTAG 兼容的基于扫描的仿真已经集成到 ADP16x 所有器件中。提供了调试数字控制系统所需的非嵌入式实时功能。从业界标准的 C 编译器到 Code Composer Studio® 调试器的一整套代码生成工具都支持这个系列。许多第三方开发者不仅提供器件的开发工具，还提供系统级的设计和开发支持。

1.2 ADP16F0x 器件概述

表 1-2. ADP16F0x 器件的硬件特性

特征		ADP16F0x
指令周期 (50MHz)		20ns
SRAM (16 位/字)	双端口 RAM	544 x16
	单端口 RAM	8K x16
Flash		32K x16
BootROM		1K x16
事件管理器 1 和 2		EM1,EM2
*通用定时器		4
*互补带死区控制 PWM/脉宽调制 PWM		12/16
*捕获/正交解码脉冲电路		6/4
看门狗定时器		有
10 位的 ADC		有
*通道数		16
*转换时间		250ns
SPI		1 个
SCI		1 个
CAN		1 个
通用 I/O		40 个
外部中断源		2 个
供电电压		$V_{IO}=3.3V, V_{CORE}=1.8V$
封装		LQFP100

ADP16F0x-LQFP, 100PIN 封装引脚分配图如图 1-2-1, 引脚说明请见表 1-4

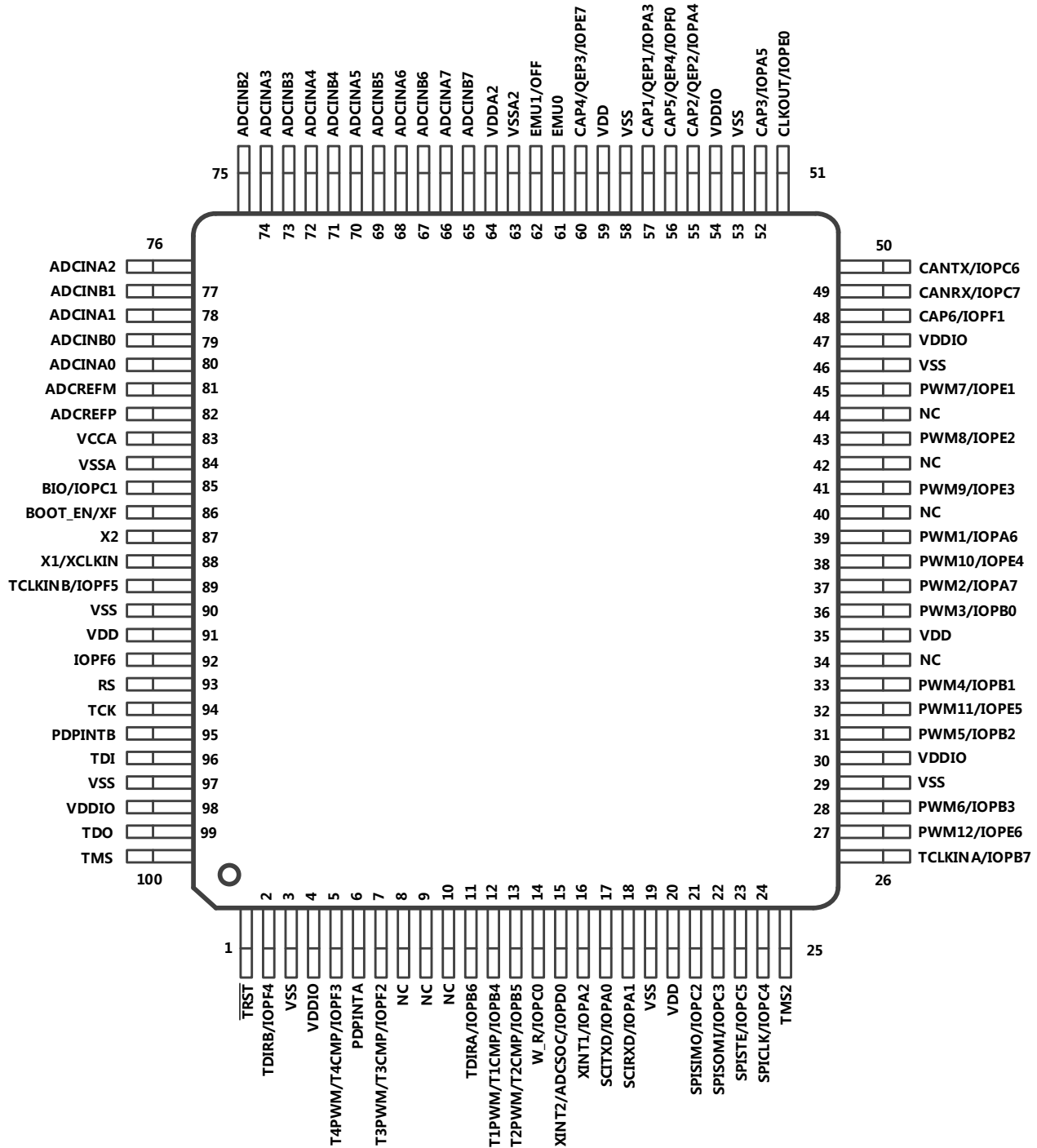


图 1-2-1 装引脚图(顶视图)

ADP16F0x-LQFP , 48N 封装引脚分配图如图 1-2-2 脚说明请见表 1-4

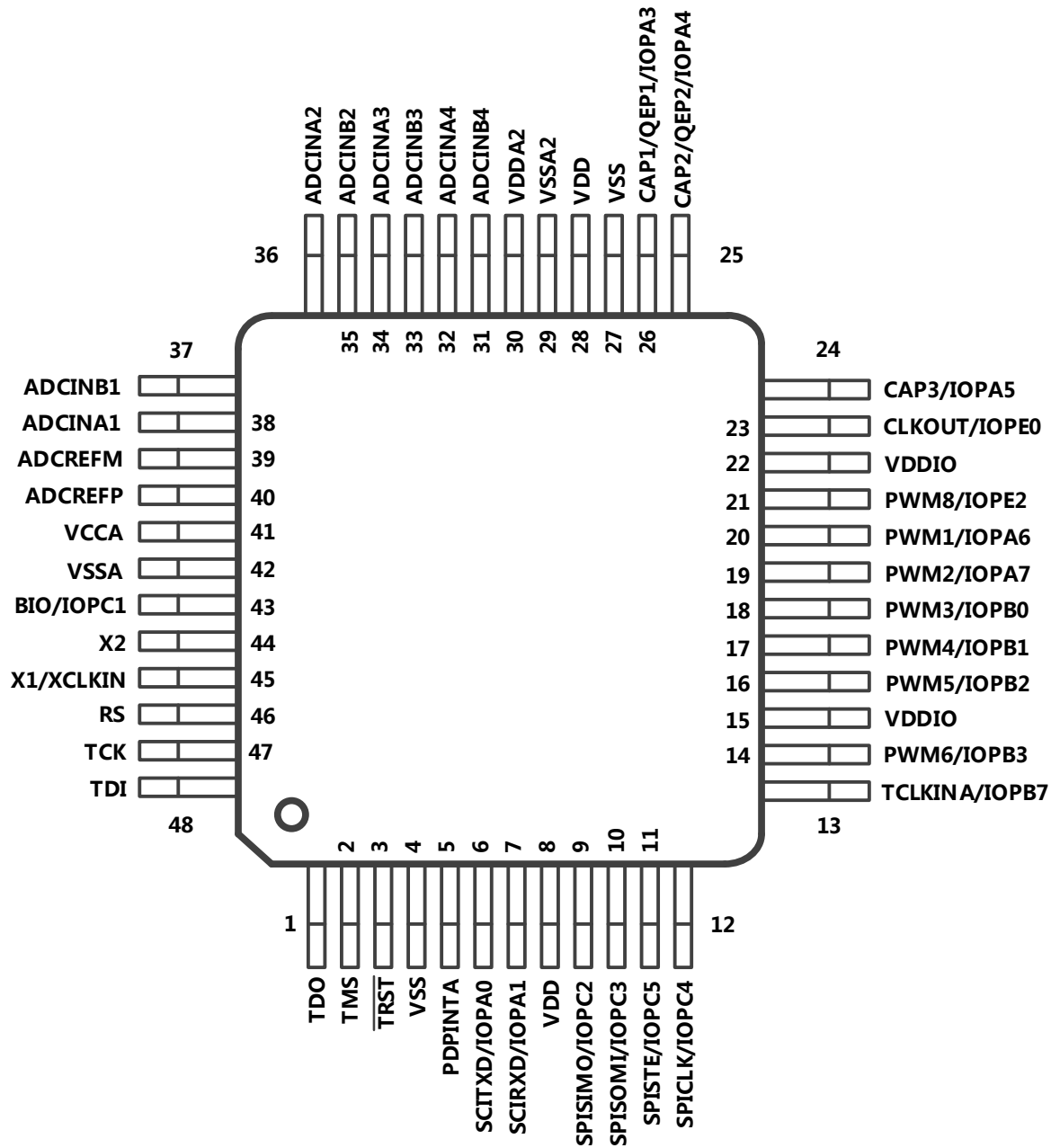
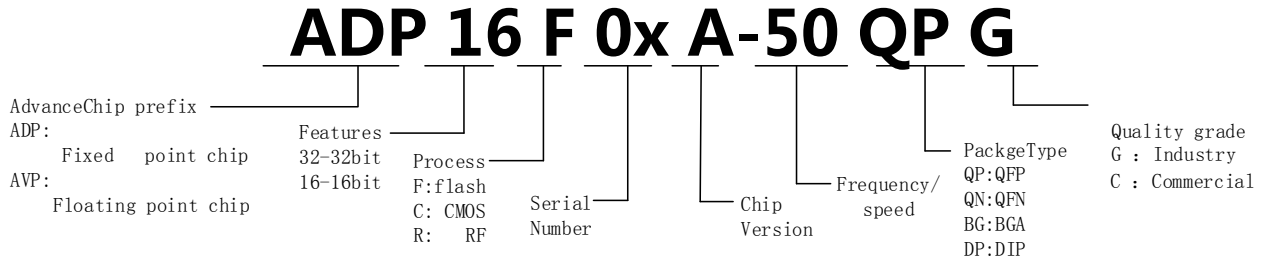


图 1-2-2 封装引脚图(顶视图)

1.3 产品编码

ADP16F0x 产品代号编码规则:



1.4 信号说明

所有的信号都可以在 ADP16F0x 设备上使用。表 1-4 列出了 ADP16F0x 设备中可用的信号。

表 1-4 信号说明

引脚名称	引脚编号 QFP100 封装	引脚编号 QFP48 封装	I/O/Z	PU/PD	说明
JTAG					
EMU0	61	/	I/O/Z	PU	具有内部上拉的仿真器 I/O 引脚。当 \overline{TRST} 引脚拉为高电平时，该引脚用作指向或来自仿真器系统的中断。通过 JTAG 口扫描可定义为 I/O 引脚
EMU1/ \overline{OFF}	62	/	I/O/Z	PU	具有内部上拉的仿真器 I/O 引脚。该引脚可禁止所有输出，当 \overline{TRST} 引脚拉为高电平时，该引脚用作来自或指向仿真器系统的中断。通过 JTAG 扫描可定义 I/O 引脚；当 \overline{TRST} 拉为低电平时，该引脚设定为 \overline{OFF} 引脚；当低电平有效时，所有输出引脚驱动为高阻态
\overline{TRST}	1	3	I	PD	带内部下拉的 JTAG 测试复位。当它为高电平时扫描系统控制器运行。若信号悬空或为低电平，控制器运行在功能模式，并且测试复位信号无效
TCK	94	47	I	PU	JTAG 测试时钟，带有内部上拉功能
TMS	100	2	I	PU	JTAG 测试模式选择端，有内部上拉功能，在 TCK 的上升沿 TAP 控制器计数一系列的控制输入
TMS2	25	/	I	PU	JTAG 测试模式选择端 2，有内部上拉功能，在 TCK 的上升沿 TAP 控制器计数一系列的控制输入
TDI	96	48	I	PU	带上拉功能的 JTAG 测试数据输入端。在 TCK 的上升沿，TDI 被锁存到选择寄存器、指令寄存器或数据寄存器中
TDO	99	1	O/Z	PD	JTAG 扫描输出，测试数据输出。在 TCK 的下降沿将选择寄存器的内容从 TDO 移出
振荡器、锁相环 (PLL)、复位、Boot 引导					
X1/CLKIN	88	45	I	-	晶体振荡器输入/外部时钟输入
X2	87	44	O	-	晶体振荡器输出
$\overline{BOOT_EN}$ /XF	86	/	I/O	PU	引导 ROM 使能、通用 I/O、XF 引脚。该引脚在复位期间被采样，以更新 SCSR2.3 ($\overline{BOOT_EN}$ 位) 然后驱动 XF 作为输出信号。复位之后，XF 被置为高电平， $\overline{BOOT_EN}$ 只能接无源回路
\overline{RS}	93	46	I/O	PU	器件复位引脚，当 \overline{RS} 为高电平时，从程序存储器开始运行程序； \overline{RS} 影响寄存器和状态位；当 WD 定时时间溢出时，在 \overline{RS} 引脚产生一个系统复位脉冲

表 1-4 信号说明 (续)

引脚名称	引脚编号 QFP100 封装	引脚编号 QFP48 封装	I/O/Z	PU/PD	说明
局域网控制器 (CAN)、串口通信 (SCI)、串行外部设备接口 (SPI)					
CANRX/IOPC7	49	/	I/O/Z	PU	CAN 接收数据引脚或通用 I/O
CANTX/IOPC6	50	/	I/O/Z	PU	CAN 发送数据引脚或通用 I/O
SCITXD/IOPA0	17	6	I/O/Z	PU	SCI 异步串行口发送数据引脚或通用 I/O
SCIRXD/IOPA1	18	7	I/O/Z	PU	SCI 异步串行口接收数据引脚或通用 I/O
SPICLK/IOPC4	24	12	I/O/Z	PU	SPI 时钟引脚或通用 I/O
SPISIMO/IOPC2	21	9	I/O/Z	PU	SPI 从动输入、主控输出引脚或通用 I/O
SPISOMI/IOPC3	22	10	I/O/Z	PU	SPI 从动输出、主控输入引脚或通用 I/O
$\overline{\text{SPIS}}\text{TE}/\text{IOPC5}$	23	11	I/O/Z	PU	SPI 从动发送使能 (可选) 引脚或通用 I/O
外部中断、其他					
XINT1/IOPA2	16	/	I/O/Z	PU	外部用户中断 1 或通用 I/O。XINT1、2 都是边沿信号有效，边沿极性可编程
XINT2/ADCSOC /IOPD0	15	/	I/O/Z	PU	外部用中断 2 可作 AD 转换开始输入引脚或通用 I/O。XINT1、2 都是边沿信号有效，边沿极性可编程
CLKOUT/IOPE0	51	23	I/O/Z	PU	时钟输出通用 I/O。输出时钟为 CPU 时钟或监视定时器时钟，这由系统控制状态寄存器中的 CLKSRC (bit14) 决定，当不用于时钟输出时，就可用作通用 I/O
$\overline{\text{BI}}\text{O}/\text{IOPC1}$	85	43	I/O/Z	PU	分支控制输入引脚。由 BCND pma,BIO 指令检测该引脚电平，若为低则执行分支程序，如果不用该引脚，则必须将其拉为高电平；系统复位时将该位配置为分支控制输入，当不用此功能时，该引脚可作为通用 I/O
IOPC0	14	/	I/O/Z	PU	通用 I/O
IOPF6	92	/	I/O/Z	PU	通用 I/O
NC	8,9,10,34 40,42,44	/	/	/	悬空

表 1-4 信号说明 (续)

引脚名称	引脚编号 QFP100 封装	引脚编号 QFP48 封装	I/O/Z	PU/PD	说明
事件管理器 EM1					
CAP1/QEP1/IOPA3	57	26	I/O/Z	PU	捕捉输入#1/正交编码脉冲输入#1 (EM1) 或通用 I/O
CAP2/QEP2/IOPA4	55	25	I/O/Z	PU	捕捉输入#2/正交编码脉冲输入#2 (EM1) 或通用 I/O
CAP3/IOPA5	52	24	I/O/Z	PU	捕捉输入#3 (EM1) 或通用 I/O
PWM1/IOPA6	39	20	I/O/Z	PU	比较/PWM 输出引脚#1 (EM1) 或通用 I/O
PWM2/IOPA7	37	19	I/O/Z	PU	比较/PWM 输出引脚#2 (EM1) 或通用 I/O
PWM3/IOPB0	36	18	I/O/Z	PU	比较/PWM 输出引脚#3 (EM1) 或通用 I/O
PWM4/IOPB1	33	17	I/O/Z	PU	比较/PWM 输出引脚#4 (EM1) 或通用 I/O
PWM5/IOPB2	31	16	I/O/Z	PU	比较/PWM 输出引脚#5 (EM1) 或通用 I/O
PWM6/IOPB3	28	14	I/O/Z	PU	比较/PWM 输出引脚#6 (EM1) 或通用 I/O
T1PWM/T1CMP/IOP B4	12	/	I/O/Z	PU	TMR1 比较输出 (EM1) 或通用 I/O
T2PWM/T2CMP/IOP B5	13	/	I/O/Z	PU	TMR2 比较输出 (EM1) 或通用 I/O
TDIRA/IOPB6	11	/	I/O/Z	PU	通用定时器计数方向选择 (EM1) 或通用 I/O, 如果 TDIRA=1, 则选择加计数, 否则选择减计数
TCLKINA/IOPB7	26	13	I/O/Z	PU	通用定时器 (EM1) 外部时钟输入或通用 I/O; 注意该定时器也可用内部时钟
$\overline{\text{PDPINTA}}$	6	5	I/O/Z	PU	功率驱动保护中断输入引脚。当电动机驱动/电源逆变器不正常时, 如出现过电压、过电流等情况时, 该中断有效, 将 PWM 输出引脚 (EM1) 置为高阻态。 $\overline{\text{PDPINTA}}$ 是一个下降沿有效中断

- (1) GPIO 通用输入/输出引脚, 所有 GPIO 在复位后默认为输入状态
- (2) 建议模拟电源地与数字电源地隔离以保持指定精度
- (3) PU 表示片内默认上拉, PD 表示片内默认下拉

表 1-4 信号说明 (续)

引脚名称	引脚编号 QFP100 封装	引脚编号 QFP48 封装	I/O/Z	PU/PD	说明
事件管理器 EM2					
CAP4/QEP3/IOPE7	60	/	I/O/Z	PU	捕捉输入#4/正交编码脉冲输入#4 (EM2) 或通用 I/O
CAP5/QEP4/IOPF0	56	/	I/O/Z	PU	捕捉输入#5/正交编码脉冲输入#5 (EM2) 或通用 I/O
CAP6/IOPF1	48	/	I/O/Z	PU	捕捉输入#6 (EM2) 或通用 I/O
PWM7/IOPE1	45	/	I/O/Z	PU	比较/PWM 输出引脚#7 (EM2) 或通用 I/O
PWM8/IOPE2	43	21	I/O/Z	PU	比较/PWM 输出引脚#8 (EM2) 或通用 I/O
PWM9/IOPE3	41	/	I/O/Z	PU	比较/PWM 输出引脚#9 (EM2) 或通用 I/O
PWM10/IOPE4	38	/	I/O/Z	PU	比较/PWM 输出引脚#10 (EM2) 或通用 I/O
PWM11/IOPE5	32	/	I/O/Z	PU	比较/PWM 输出引脚#11 (EM2) 或通用 I/O
PWM12/IOPE6	27	/	I/O/Z	PU	比较/PWM 输出引脚#12 (EM2) 或通用 I/O
T3PWM/T3CMP/IOP F2	7	/	I/O/Z	PU	TMR3 比较输出 (EM2) 或通用 I/O
T4PWM/T4CMP/IOP F3	5	/	I/O/Z	PU	TMR4 比较输出 (EM2) 或通用 I/O
TDIRB/IOPF4	2	/	I/O/Z	PU	通用定时器计数方向选择 (EM2) 或通用 I/O, 如果 TDIRA=1, 则选择加计数, 否则选择减计数
TCLKINB/IOPF5	89	/	I/O/Z	PU	通用定时器 (EM2) 外部时钟输入或通用 I/O; 注意该定时器也可用内部时钟
$\overline{PDPINTB}$	95	/	I/O/Z	PU	功率驱动保护中断输入引脚。当电动机驱动/电源逆变器不正常时, 如出现过电压、过电流等情况时, 该中断有效, 将 PWM 输出引脚 (EM2) 置为高阻态。 $\overline{PDPINTB}$ 是一个下降沿有效中断
数字 IO 及内核供电					
VDDIO	4、30、47、 54、98	15、22	-	-	数字 3.3V 电源引脚
VDD	20、35、 59、91	8、28	-	-	数字 1.8V 电源引脚
VSS	3、19、29、 46、53、58、 90、97	4、27	-	-	数字地

表 1-4 信号说明 (续)

引脚名称	引脚编号 QFP100 封装	引脚编号 QFP48 封装	I/O/Z	PU/PD	说明
ADC 模拟输入信号					
ADCINA0	80	/	I	-	针对采样和保持 A,B 的 16 通道模拟输入。在 VCCA , VDDA2 引脚被完全加电之前, 不应驱动 ADC 引脚。
ADCINB0	79	/	I	-	
ADCINA1	78	38	I	-	
ADCINB1	77	37	I	-	
ADCINA2	76	36	I	-	
ADCINB2	75	35	I	-	
ADCINA3	74	34	I	-	
ADCINB3	73	33	I	-	
ADCINA4	72	32	I	-	
ADCINB4	71	31	I	-	
ADCINA5	70	/	I	-	
ADCINB5	69	/	I	-	
ADCINA6	68	/	I	-	
ADCINB6	67	/	I	-	
ADCINA7	66	/	I	-	
ADCINB7	65	/	I	-	
ADCREFP	82	40	I/O	-	ADC 电压基准输出 (1V)。要求通过一个 10 μ F 的低 ESR (低于 1.5 Ω) 陶瓷旁路电容器接至模拟接地。
ADCFREM	81	39	I/O	-	ADC 电压基准输出 (2V)。要求通过一个 10 μ F 的低 ESR (低于 1.5 Ω) 陶瓷旁路电容器接至模拟接地。
VCCA	83	41	-	-	ADC 模拟 3.3V 电源
VSSA	84	42	-	-	ADC 模拟 GND
VDDA2	64	30	-	-	ADC 模拟 3.3V 电源
VSSA2	63	29	-	-	ADC 模拟 GND

2 功能概述

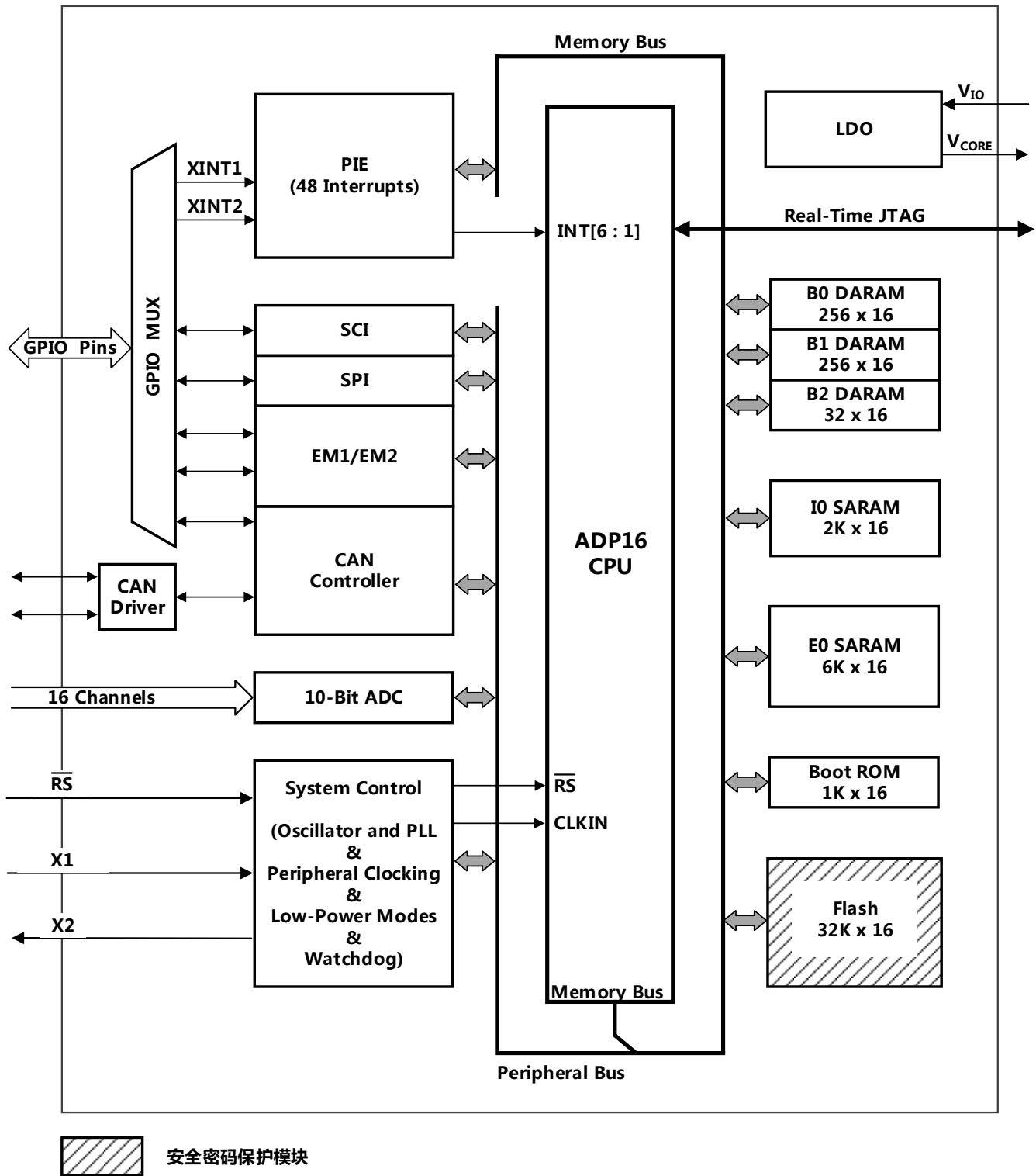
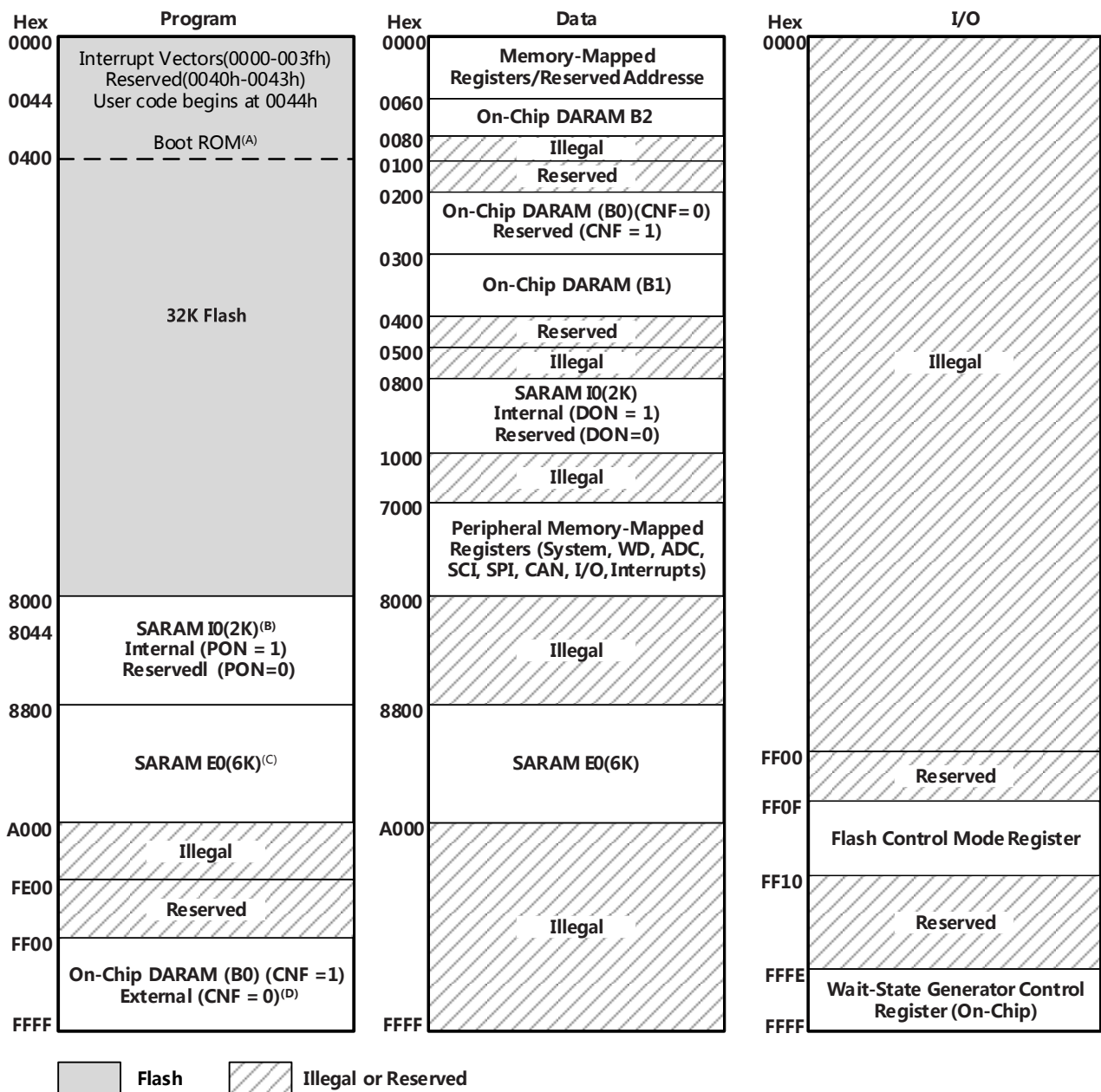


图 2 ADP16F0x 功能方框图

2.1 内存映射



(A) Boot ROM: Boot ROM 共用片内 Flash 地址: 0x0000-0x0400, 通过 BOOT_EN 引脚切换存储空间

(B) 单周期访问 RAM I0, 配置 PON, DON 来选则程序或者数据空间。

(C) RAME0, 使用前需配置 CPU 读写等待周期, $t_{min} = 2 \times \text{cpu_clk}$ 。

(D) 双口 RAM B0, 通过配置 CNF 来选则程序或者数据空间。

图 2-1 ADP16F0x 存储空间映射

2.2 外设存储器映射

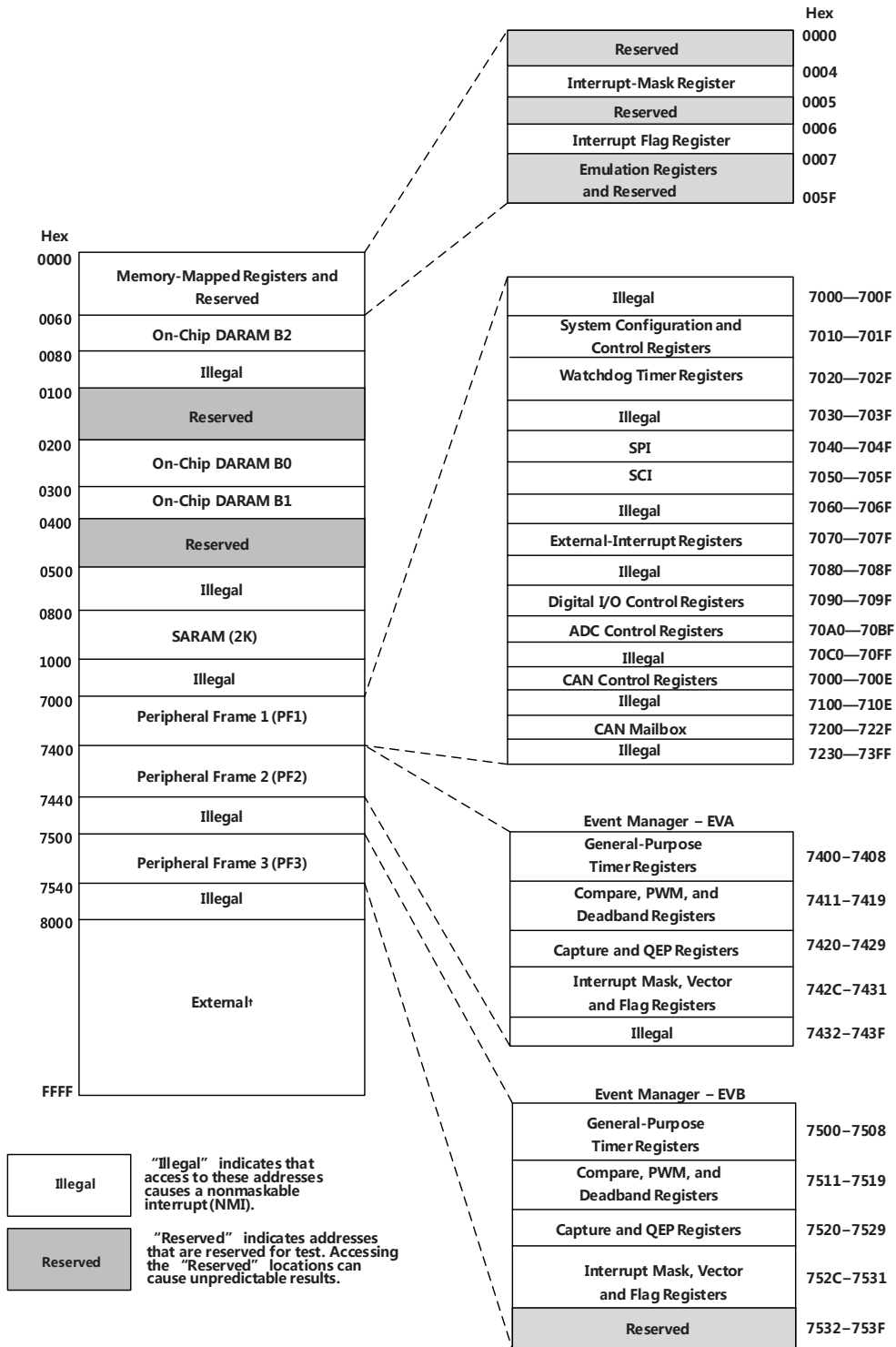


图 2-2 ADP16F0x 外设空间映射

2.3 设备复位和中断

ADP16F0x 软件可编程中断结构灵活支持片内和外部中断配置以满足实时中断驱动的应用程序需求。

ADP16F0x 可以识别三种类型的中断源。

- 复位 (由硬件或软件启动) 不受 CPU 的限制, 并立即优先于任何其他执行功能。所有可屏蔽的中断都被禁用, 直到复位服务程序启用它们。

ADP16F0x 器件有两个复位源: 一个外部复位引脚和一个看门狗定时器超时 (复位)。

- 硬件产生的中断请求有外部引脚和片上外设请求。这两种类型如下:
 - 外部中断请求由 XINT1, XINT2, PDPINTA 和 PDPINTB 相对应的四个外部引脚之一产生。这四个外部中断信号由 CPU 的中断屏蔽寄存器 (IMR) 使能或者屏蔽, IMR 寄存器可以屏蔽 DSP 内核的每个可屏蔽中断线。
 - 外设中断是由片上事件管理器 EM1, 事件管理器 EM2, SPI, SCI, CAN 和 ADC 外设模块事件触发产生。它们可以通过每个外设中的每个事件的使能位以及 CPU 的 IMR 来屏蔽, IMR 寄存器可以屏蔽 DSP 内核中的每个可屏蔽中断线。
- ADP16F0x 器件的软件产生的中断包括:
 - INTR 指令。该指令允许用软件初始化任何 ADP16F0x 中断。其操作数表示 CPU 分支到的中断向量位置。该指令可禁止全局可屏蔽中断 (将 INTM 位置 1)。
 - NMI 指令。该指令迫使分支中断向量指向位置 24H。该指令可禁止全局可屏蔽中断。ADP16F0x 设备没有 NMI 硬件信号, 只支持软件触发。
 - TRAP 指令。该指令迫使 CPU 分支以中断向量位置 22H。TRAP 指令不能禁止可屏蔽中断 (INTM 未设置为 1); 因此, 当 CPU 分支到中断服务程序时, 该程序可被可屏蔽硬件中断中断。
 - 仿真器陷阱 该中断可以通过 INTR 指令或 TRAP 指令产生

六个内核中断 (INT1-INT6) 与外设中断(PIE)进行扩展, PIE 管理来自外设级中断, 并分组到六个内核中断。图 2-3 描述了硬件中断 PIE 图, PIE 框图(图 2-3)和中断(表 2-3)描述了 PIE 与 CPU 中断向量对应关系。

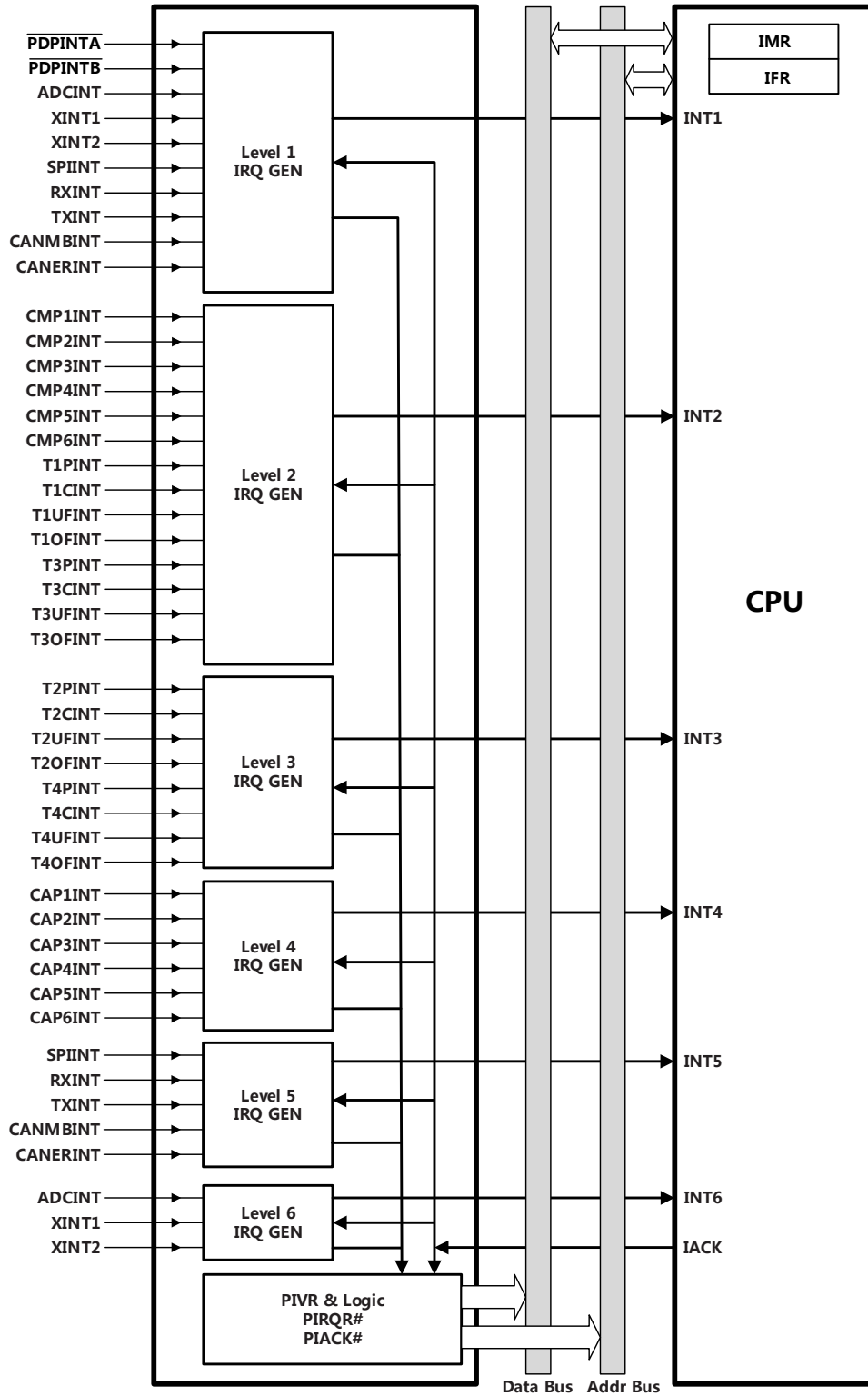


图 2-3 外设中断扩展 (PIE) 模块框图

表 2-3 ADP16F0x 中断源优先级和中断向量表

中断名称	优先级	CPU 中断 向量地址	PIRQRx 和 PIACKRx 对应 bit 位	外设中断 向量 (PIE)	可屏蔽 中断是否	外设模块	描述
Reset	1	RSN 0000h		N / A	否	RS 引脚, 看门狗	管脚复位, 看门狗超时复位
Reserved	2	- 0026h		N / A	否	CPU	仿真器陷阱
NMI	3	NMI 0024h		N / A	否	非屏蔽中断	不可屏蔽中断, 软件中断
PDPINTA	4	INT1 0002h	0.0	0020h	是	EM1	电力设备保护中断引脚
PDPINTB	5		2.0	0019h	是	EM2	
ADCINT	6		0.1	0004h	是	ADC	ADC 中断 (高优先级模式)
XINT1	7		0.2	0001h	是	外部中断逻辑	外部中断引脚 (高优先级模式)
XINT2	8		0.3	0011h	是	外部中断逻辑	
SPIINT	9		0.4	0005h	是	SPI	SPI 中断引脚 (高优先级模式)
RXINT	10		0.5	0006h	是	SCI	SCI 接收中断 (高优先级模式)
TXINT	11		0.6	0007h	是	SCI	SCI 发送中断 (高优先级模式)
CANMBINT	12		0.7	0040h	是	CAN	CAN 邮箱中断 (高优先级模式)
CANERINT	13		0.8	0041h	是	CAN	CAN 错误中断 (高优先级模式)
CMP1INT	14	INT2 0004h	0.9	0021h	是	EM1	比较器 1 产生中断
CMP2INT	15		0.10	0022h	是	EM1	比较器 2 产生中断
CMP3INT	16		0.11	0023h	是	EM1	比较器 3 产生中断
T1PINT	17		0.12	0027h	是	EM1	定时器 1 周期中断
T1CINT	18		0.13	0028h	是	EM1	定时器 1 比较中断
T1UFINT	19		0.14	0029h	是	EM1	定时器 1 下溢中断
T1OFINT	20		0.15	002Ah	是	EM1	定时器 1 溢出中断
CMP4INT	21		2.1	0024h	是	EM2	比较器 4 生中断
CMP5INT	22		2.2	0025h	是	EM2	比较器 5 生中断
CMP6INT	23		2.3	0026h	是	EM2	比较器 6 生中断
T3PINT	24		2.4	002Fh	是	EM2	定时器 3 期中断
T3CINT	25		2.5	0030h	是	EM2	定时器 3 较中断
T3UFINT	26		2.6	0031h	是	EM2	定时器 3 溢中断
T3OFINT	27		2.7	0032h	是	EM2	定时器 3 出中断

表 2-3 ADP16F0x 中断源优先级和中断向量表 (续)

中断名称	优先级	CPU 中断 向量地址	PIRQRx 和 PIACKRx 对应 bit 位	外设中断 向量 (PIE)	可屏蔽 中断是否	外设模块	描述
T2PINT	28	INT3 0006h	1.0	002Bh	是	EM1	定时器 2 周期中断
T2CINT	29		1.1	002Ch	是	EM1	定时器 2 比较中断
T2UFINT	30		1.2	002Dh	是	EM1	定时器 2 下溢中断
T2OFINT	31		1.3	002Eh	是	EM1	定时器 2 溢出中断
T4PINT	32		2.8	0039h	是	EM2	定时器 4 周期中断
T4CINT	33		2.9	003Ah	是	EM2	定时器 4 比较中断
T4UFINT	34		2.10	003Bh	是	EM2	定时器 4 下溢中断
T4OFINT	35		2.11	003Ch	是	EM2	定时器 4 溢出中断
CAP1INT	36	INT4 0008h	1.4	0033h	是	EM1	捕获 1 中断
CAP2INT	37		1.5	0034h	是	EM1	捕获 2 中断
CAP3INT	38		1.6	0035h	是	EM1	捕获 3 中断
CAP4INT	39		2.12	0036h	是	EM2	捕捉 4 中断
CAP5INT	40		2.13	0037h	是	EM2	捕获 5 中断
CAP6INT	41		2.14	0038h	是	EM2	捕获 6 中断
SPIINT	42	INT5 000Ah	1.7	0005h	是	SPI	SPI 中断 (低优先级)
RXINT	43		1.8	0006h	是	SCI	SCI 接收中断 (低优先级模式)
TXINT	44		1.9	0007h	是	SCI	SCI 发送中断 (低优先级模式)
CANMBINT	45		1.10	0040h	是	CAN	CAN 邮箱中断 (低优先级模式)
CANERINT	46		1.11	0041h	是	CAN	CAN 错误中断 (低优先级模式)
ADCINT	47	INT6 000Ch	1.12	0004h	是	ADC	ADC 中断 (低优先级模式)
XINT1	48		1.13	0001h	是	外部中断逻辑	外部中断引脚 (低优先级模式)
XINT2	49		1.14	0011h	是	外部中断逻辑	
保留的 陷阱	N/A	000Eh 0022h		N/A	是 N/A	中央处理器	保留 TRAP 指令
假中断向量	N/A	N/A		0000h	N/A	中央处理器	假中断中断向量
INT8-INT16	N/A	0010h-0020h		N/A	N/A	中央处理器	软件中断向量
INT20-IN31	N/A	0028h-003Fh		N/A	N/A	中央处理器	

2.4 ADP16F0x CPU

ADP16F0x 器件采用先进的哈佛架构，独立的程序总线 and 数据总线，多总线结构允许 CPU 同时访问程序指令和数据存储器，使用四级流水线作业，具有高速运行的特点；单周期指令执行时间高达 20ns,即 50MIPS 的处理能力，了解更多信息请看 ADP16F0x CPU 框图（图 2-7）。

2.5 ADP16F0x 指令集

ADP16F0x 微处理器实现了一个支持数字密集型处理与应用程序开发的综合指令集，如多任务处理和高速控制，为了获得最大的吞吐量，下一条指令在当前执行时被预取。数据总线用于与外部数据，程序，I/O 空间通讯，周期个数因指令执行要求而不同，取决于操作数是否从片内内存读取或者片外内存读取，要实现数据最大吞吐量需使用片上内存或者片外高速内存

2.6 寻址模式

ADP16F0x 指令集提供四种基本的存储器寻址模式：直接，间接，立即和寄存器。在直接寻址中，指令字包含数据存储器地址的低 7 位。该字段与数据存储器页指针（DP）的 9 位组合成 16 位数据存储器地址。因此，在直接寻址模式下，数据存储器总共有 512 页，每页包含 128 个字。间接寻址通过辅助寄存器访问数据存储器。在这种寻址模式下，指令操作数的地址被包含在当前选择辅助寄存器中。八个辅助寄存器（AR0-AR7）提供灵活而强大的间接寻址。为了选择一个特定的辅助寄存器，辅助寄存器指针（ARP）分别从 AR0 到 AR7 加载一个 0 到 7 的值。

2.7 实时 JTAG 和分析

ADP16F0x 执行标准 IEEE1149.1 JTAG 接口。支持实时运行模式，在处理器正在运行，执行代码并且处理中断时，可修改存储器内容、外设、和寄存器位置，用户也可以通过非时间关键代码进行单步操作，同时可在没有干扰的情况下启用即将被处理的时间关键中断，在 CPU 的硬件内执行实时模式。

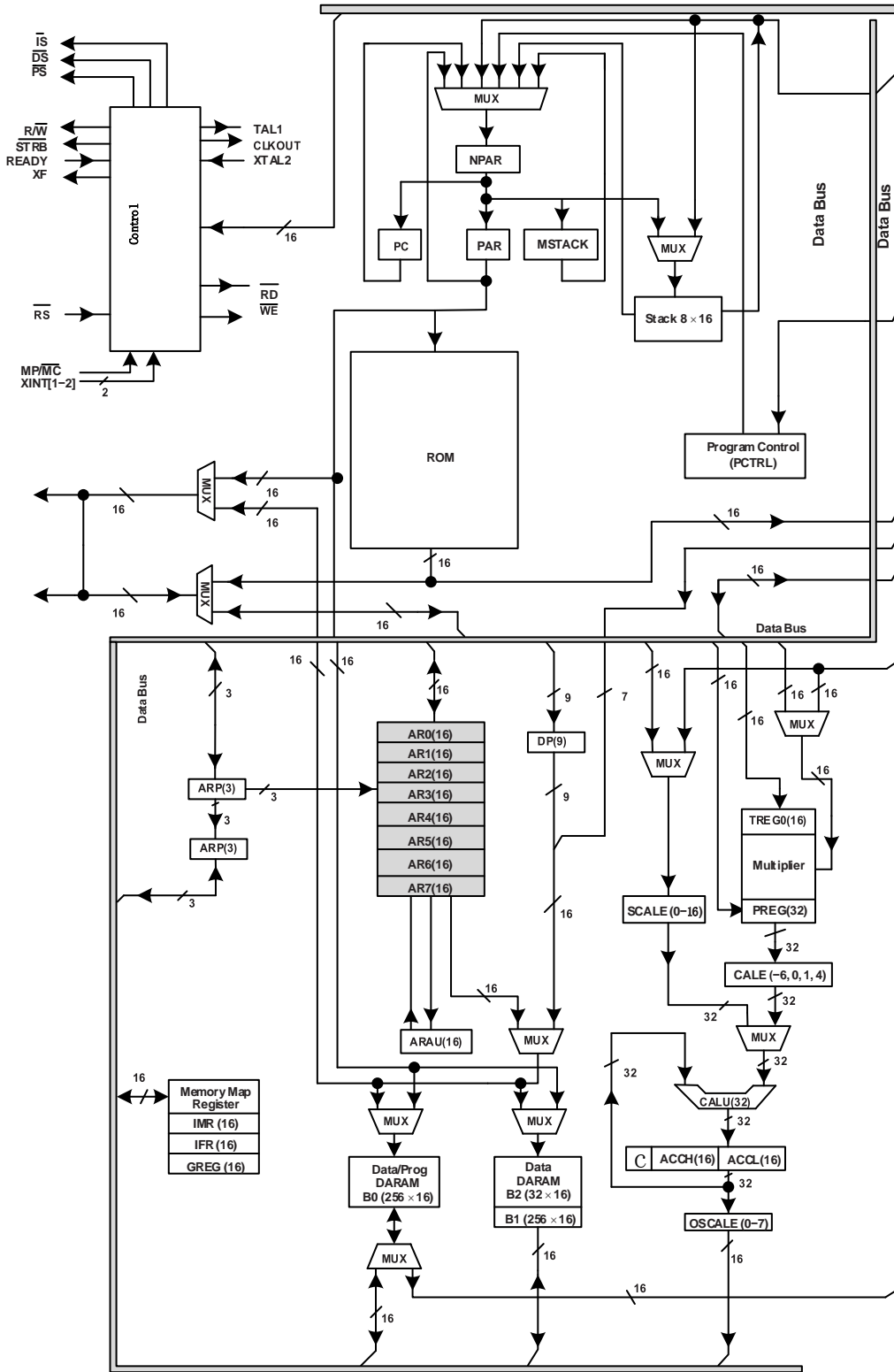


图 2-7 ADP16F0x CPU 的功能框图

2.8 DSP CPU 内部结构

表 2-8-1 ADP16F0x DSP CPU 内部硬件说明

符号	名称	描述
ACC	累加器	32 位寄存器存储结果，并用于随后的 CALU 操作提供输入。此外，还包括位移和回转功能
ARAU	辅助寄存器算术单元	一个无符号的 16 位运算单元，使用辅助寄存器作为输入和输出，用来计算间接地址。
AUX REGS	辅助寄存器 0-7	这些 16 位寄存器可以作为地址指针指向存储器任意地址。它们由 ARAU 操作并由辅助寄存器指针 (ARP) 选择。AR0 还可以作为一个索引值来作为 AR 更新的一个索引值，并且作为与 AR 的比较值。
C	进位位	从 CALU 寄存器进位输出。C 被反馈到 CALU 进行扩展算术运算。C 位包含在状态寄存器 1 (ST1)，并且可以在条件指令中进行测试。C 也可以在累加器移位和回转。
CALU	中央算术逻辑单元	CPU 中 32 位主算术逻辑单元，CALU 在单个机器周期中执行 32 位操作。CALU 使用来自 ISCALE 或 PSCALE 的数据以及来自 ACC 的数据操作，并向 PCTRL 提供状态结果。
DARAM	双口 RAM	如果芯片上的 RAM 配置控制位 (CNF) 被设置为 0，可重新配置数据的双存取 RAM (DARAM) 块 B0 被映射到数据空间；否则，B0 被映射到程序空间。块 B1 和 B2 被映射到唯一的数据存储器空间，在地址 0300-03FF 和 0060-007F，B0 和 B1 包含 256 个字，B2 包含 32 个字。
DP	数据存储器页指针	9 位 DP 寄存器与指令字的 7 个最低有效位 (LSB) 组合形成 16 位直接存储器地址。DP 可以由 LST 和 LDP 指令修改。
GREG	全局存储器分配寄存器	GREG 指定全局数据存储空间的尺寸。由于在 ADP16F0x 器件中没有使用全局内存空间，所以这个寄存器是保留的。
IMR	中断屏蔽寄存器	CPU 级中断使能屏蔽寄存器。
IFR	中断标志寄存器	CPU 级中断标志寄存器。。
INT #	中断陷阱	总共 32 个中断通过硬件和/或软件的方式产生。
ISCALE	输入移位器	16-32 位的左移器。ISCALE 将传入 16 位数据相对于 32 位移位 0 至 16 位在获取周期内输出；因此对于输入移位操作，不需要任何循环开销。
MPY	乘法器	16x16 位乘法器输出 32 位乘积。MPY 在单周期执行乘法。MPY 可工作符号或无符号二进制补码算术乘法。
MSTACK	微堆栈	MSTACK 为下一个指令的地址提供临时存储。
MUX	复用器	总线多路复用到一个通用输入
NPAR	下一个程序地址寄存器	NPAR 在下一个周期内将程序地址放在 PAB 上。
OSCALE	输出数据缩放移位器	16-32 位的左移器。OSCALE 将 32 位的累加器输出 0 移至左侧 7 位进行量化管理并将移位的 32 位数据一半高 16 位或者低 16 位输出写入到数据总线 (DWEB)。
PAR	程序地址寄存器	PAR 保存当前在 PAB 上运行地址，用于完成当前总线周期的所有内存操作所需的多个循环。
PC	程序计数器	PC 增加 NPAR 的值，为指令获取和连续的数据传输操作提供顺序地址。
PCTRL	程序控制器	PCTRL 解码指令，管理管道，存储状态，并对条件操作进行解码。

ADP16F0x CPU 内部结构说明 (续)

表 2-8-1 ADP16F0x DSP CPU 内部硬件说明 (续)

符号	名称	描述
PREG	乘积寄存器	32 位寄存器保存 16x16 的乘积
PSCALE	乘积定标移位器	乘法器乘积 0 位 1 位, 4 位左移, 或 6 位右移。左移选项用于管理由二进制补码乘法产生的附加符号位。右移选项用于缩小比例管理 CALU 中乘积积累的溢出数值。
STACK	堆栈	堆栈是用于存储子程序和中断服务例程的返回地址的内存块, 或者用于存储数据。ADP16x 堆栈是 16 位位宽。
TREG	临时寄存器	16 位寄存器保存了乘法运算的一个操作数。TREG 包含 LACT、ADDT 和 SUBT 指令的动态移位计数。TREG 保存 BITT 指令动态位位置。

状态和控制寄存器

两个状态寄存器 ST0 和 ST1 包含各种条件和模式的状态。 这些寄存器可以存储在数据存储器中, 并从数据存储器加载, 从而允许保存微处理器状态并恢复子程序。

加载状态寄存器 (LST) 指令用于写入 ST0 和 ST1。 存储状态寄存器 (SST) 指令用于从 ST0 和 ST1 读取 - 除了不受 LST 指令影响的 INTM 位之外。 使用 SETC 和 CLRC 指令时, 可以将这些寄存器的各个位置 1 或清零。 图 2-8 显示了状态寄存器 ST0 和 ST1 的组织, 指示了每个状态寄存器中包含的所有状态位。 状态寄存器中的几个位被保留, 并被读为逻辑 1。 表 2-8-2 列出了状态寄存器字段定义。

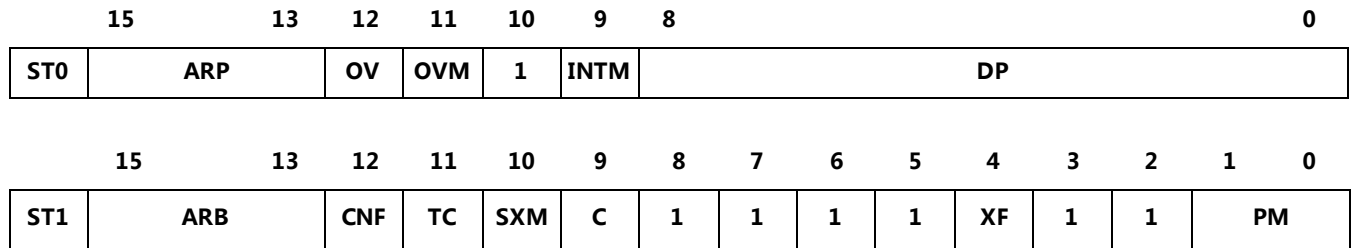


图 2-8. 状态寄存器 ST0 和 ST1 结构

表 2-8-2 状态寄存器字段定义

位	功能
ARB	辅助寄存器缓冲区的指针。当 ARP 被加载到 ST0 时, 旧的 ARP 值被复制到 ARB, 除非在一个指令的指令中。当 ARB 通过一个 LST #1 指令加载时, 同样的值也被复制到 ARP 中。
ARP	辅助寄存器(AR)的指针。ARP 选择了用于间接寻址的 AR。当 ARP 被加载时, 旧的 ARP 值被复制到 ARB 寄存器中。在使用间接寻址的时候, 可以使用内存引用指令来修改 ARP 映射, 并由 LARP、MAR 和 LST 指令来修改。当执行一个命令 1 指令时, ARP 也被加载与 ARB 相同的值。
C	进位。如果加法结果产生一个进位, 则 C 被置位 1, 如果减法的结果产生一个借位, 则 C 被复位位 0, 否则在加法或减法之后被复位, 除非指令是 ADD 或带有 16 位移位的 SUB, 在这些情况下, ADD 只能设置, SUB 只能重置进位, 但不能影响它, 单 bit 移位或者旋转指令也会影响 C 以及 SETC, CLRC 和 LST #1 指令, 在复位时 C 被置位 0。
CNF	芯片上的 RAM 配置控制位。如果将 CNF 设置为 0, 则可重新配置的数据双访问 RAM 块被映射到数据空间; 否则, 它们会被映射到程序空间。CNF 可以通过 SETC CNF、CLRC CNF 和 1/1 指令进行修改。RS 将 CNF 设为 0。

表 2-8-2 状态寄存器字段定义 (续)

位	功能
DP	数据存储器页指针。9 位 DP 寄存器与指令字的 7 个 LSB 指令组合以形成 16 个比特的直接存储器地址。DP 可以由 LST 和 LDP 指令修改。
INTM	中断模式。当 INTM 被设置为 0 时，所有的非屏蔽中断都是启用的。当设置为 1 时，所有的屏蔽中断都是禁用的。INTM 由 SETC INTM 和 CLRC INTM 指令设置并重新设置。RS 也能设置 INTM。INTM 对不可屏蔽的 RS 和 NMI 中断没有影响。注意，INTM 不受该指令的影响。这个位被重置为 1。当一个可屏蔽的中断陷阱被捕获时，它也被设置为 1。
OV	溢出标志位。当将 OVM 设置为 0 时，溢出的结果通常在累加器中溢出。当设置为 1 时，当遇到溢出时，累加器将被设置为最正值或负值。SETC 和 CLRC 指令分别设置并重新设置这个位。还可以用来修改 OVM。
OVM	溢出模式位。当 OVM 被设置为 0，溢出结果在累加器通常溢出。当设置为 1 时，累加器被设置为在遇到溢出或者其最正值或负值。SETC 和 CLRC 指令设置和重置此位。LST 也可以用来修改 OVM。
PM	乘积移位模式位。如果这两个比特是 00，那么乘数的 32 位产品就会被加载到 ALU 中，没有移位。如果 PM=01，则 PREG 的输出是左移一个位置并加载到 ALU 中，LSB 为零填充。如果 PM=10，则 PREG 输出左移 4 位，并加载到 ALU 中，而 LSB 则为零填充。PM=11 产生 6 位右移，符号扩展。注意，PREG 的内容保持不变。当将 PREG 的内容传输到 ALU 时，就会发生移位。PM 由 SPM 和 LST 1 指令加载。PM 被 RS 清除。
SXM	符号扩展模式。SXM=1 在数据通过缩放器传递到累加器时，在数据上产生符号扩展。SXM=0 禁止符号扩展。SXM 不影响某些指令的定义；例如 ADDS 指令，不管 SXM 如何，都会禁止符号扩展。SXM 由 SETC SXM 指令置 1，并由 CLRC SXM 指令复位，并且可以通过 LST #1 指令加载。SXM 通过复位设置为 1
TC	测试/控标志位。TC 受 BIT，BITT，CMPR，LST # 1 和 NORM 指令的影响。
XF	XF 引脚状态位。XF 表示 XF 引脚的状态，它是一种通用的输出引脚。XF 由 SETC XF 指令设置，并由 CLRC XF 指令重设。XF 通过重置设置为 1。

2.8.1 中央处理器

ADP16F0x 中央处理单元 (CPU) 包含一个 16 位定标移位器，一个 16 位 16 位并行乘法器，一个 32 位中央算术逻辑单元 (CALU)，一个 32 位累加器。本节介绍 CPU 结构及其功能。功能框图显示了 CPU 的组件。

2.8.2 输入定标移位器

输入移位定标器的功能就是把程序存储器或数据存储器送来的 16 位数调整为 32 位数，然后送往 32 位 CALU，该移位器在算术定标以及逻辑操作中对屏蔽定位设置非常重要。输入定标移位器作为程序/数据存储空间到 CALU 间数据传输路径的一部分，因此不占用时间开销，输入定标移位器对输入数据进行 0 到 16 位的左移，再将 32 位结果送往 CALU。左移时，将移位中最低有效位 LSBs 段填 0，而最高有效位 MSBs 将根据状态寄存器 ST1 中 SXM 位的值进行符号扩展或者填 0，若 SXM=0，则未使用的最高有效位填 0，不进行符号扩展；若 SXM=1，则未使用的最高有效位填 0 或者 1，进行符号扩展。移位器有两种方式获取左移的位数：一是在指令字中直接设置移位位数；该移位量允许用户用特定的数据定标或调整运算来得到特定的代码。二是由暂存寄存器 TREG 的低四位给出移位位数，该移位量允许动态调整数据定标因子，从而可以适应不同的系统性能。

2.8.3 乘法器

乘法器的功能是在单周期内完成一个带符号或者不带符号的 16×16 位的乘法，产生一个 32 位结果的有符号或无符号数。乘法单元由 16×16 的乘法器，16 位暂存寄存器 TREG，32 位乘积寄存器 PREG，乘积定标移位器组成。乘积定标移位器对乘积结果采用 4 种乘积移位元操作，由状态寄存器 ST1 的乘积移位方式 (PM) 指定，这些移位方式对于执行乘法/累加操作，小数运算以及小数乘积的调整是很有用的

乘积移位模式见表 2-8-3。

表 2-8-3. PSCALE 乘积移位模式

PM	SHIFT	描述
00	无移位	将乘积直接送入 CALU 或数据存储器
01	乘积左移 1	将二进制补码乘积中多余的 1 个符号位移去，得到 Q31 格式结果
10	乘积左移 4	与一个 13 位的乘数相乘时，移去在 16 位 \times 13 位 2 的补码乘法运算中产生 4 位附加符号位，生成 Q31
11	乘积右移 6	允许累加器进行 128 次乘积运算而不会溢出

2.8.4 中央算术逻辑单元

中央算术逻辑单元 (CALU) 实现许多算术和逻辑运算，且大多数的功能都只需 1 个时钟周期，运算包括：16 位加法，16 位减法，布尔运算，位测试以及移位旋转功能。由于 CALU 可以执行布尔运算，因此使得控制器由位操作功能，CALU 有两个输入信号，一个由累加器提供，另一个由乘积移位定标器或输入移位器提供。CALU 执行完一次操作后，它将结果送至 32 位累加器，由累加器对其结果进行移位。累加器的输出 连到 32 位的输出数据定标移位器。经过输出数据定标移位器，累加器的高 16 位，低 16 位分别移位或存入数据寄存器

2.8.5 累加器

CALU 中的运算完成，其结果送至累加器，并且在累加器中执行单个的移位或循环操作。累加器的高位字或低位字中的任意一个可以被送至输出数据定标移位器，在此移位后，又可被存入数据存储器。

2.8.6 辅助寄存器算术单元 (ARAU)

ARAU 完全独立于中央算术逻辑单元 CALU。它的主要功能是在操作的同时执行 8 个辅助寄存器 (AR0-AR7) 上的算术运算。

2.9 内部存储器

ADP16F0x 器件配置如下内存模块：

- 双访问随机存取存储器 (DARAM)
- 单存取随机存取存储器 (SARAM)
- 扩展随机存取存储器 (SARAM)
- 存储器 Flash

2.9.1 双存取 RAM (DARAM)

在 ADP16F0x 设备上有 544 字×16 位的 DARAM。DARAM 允许在同一个周期内对 RAM 进行写入和读取。DARAM 配置为三个块：块 0 (B0)，块 1 (B1) 和块 2 (B2)。块 1 包含 256 个字，块 2 包含 32 个字，并且这两个块仅位于数据存储空间中。块 0 包含 256 个字，可以配置为数据或程序存储器空间。SETC CNF (将 B0 配置为程序存储器) 和 CLRC CNF (将 B0 配置为数据存储器) 指令允许通过软件动态配置存储器映射。

在使用片上 RAM 时，ADP16F0x 全速运行，无需等待状态。DARAM 允许在一个周期内执行两次访问的能力，再加上 ADP16F0x 架构的并行特性，使得设备可以在任何给定的机器周期内执行三次并发的内存访问。

2.9.2 单存取 RAM (SARAM)

ADP16F0x 器件中有 2K 字 x16 位 I0 SARAM, 可以通过 SCSR2 寄存器 PON 和 DON 位配置为数据存储或程序存储器，有关 SCSR2 寄存器的 PON 和 DON 位详细信息，请参见 SCSR2 寄存器描述表。复位时，PON 和 DON 为 11，片内 SARAM 映射到程序和数据空间。如果片内 SARAM 未启用，则 SARAM(从程序存储器中的 8000h 开始),外部 SPI 引导模式默认中断向量表地址 0x8000-0x8044。

2.9.3 扩展存取 RAM (SARAM)

ADP16F0x 器件中有 4K 字 x16 位 E0 SARAM, E0 RAM 为程序数据存储器共用空间，在使用前需配置 WSGR 寄存器 (IO 空间，地址 0xFFFF) CPU 访问等待时间位，WSGR 寄存器详细信息，请参见 WSGR 寄存器描述表。复位默认访问等待时间为 $7 \times t_{cpuclk}$ ，最小访问等待时间为 $2 \times t_{cpuclk}$ 。

2.9.4 引导 BootROM

ADP16F0x 程序空间中集成了一个 1K×16 位 Boot ROM,地址空间与 Flash 共用 : 0000h-0400h,通过 BOOT_EN 引脚切换存储空间

2.9.5 闪存 Flash

ADP16F0x 提供闪存 Flash。ADP16F0x 程序空间中集成了一个 32K×16 位 Flash 模块。Flash 映射在程序空间 0000h-8000h,其中中断向量表空间 0000h-003Fh,保留空间 0040-0043h, 剩余为用户程序空间。

2.10 片上 LDO 电源管理

ADP16F0x 片上集成 LDO 模块,默认使能片内 LDO,端口电压 V_{IO} 提供 LDO 输入源,默认输出 $V_{CORE}=1.85V$, 通过配置 LDO_CTRL 寄存器,提供不同的内核电压 V_{CORE} ;

表 2-10 LDOCTR 寄存器地址

名称	地址	大小 (x16)	说明
LDO_CTRL	0x007515	1	LDO 控制寄存器寄存器

- (1) ADP16F0x片上LDO在不同主频的工作环境下会有4%的偏差。
- (2) 当使用片上LDO时,电源VDD引脚需对地接滤波电容,建议每个VDD引脚外接1uf~10uf电容。
- (3) LDO支持工作模式下的电压实时编程功能,根据 V_{DD} 上负载的不同,需要一定的稳定输出时间。较高的输出电压有利于获得更快的处理速度,较低的输出电压可显著改善电路的漏电流。
- (4) 原厂不能保证客户的启用程序在全部电压范围内均能正常工作。客户必需仔细评价超出推荐启用电压范围带来的好处和风险。原厂不承担相应风险。

可通过配置 0X7515 高三位 15-13 配置 LDO 电压范围 (位 15-13 默认为 000)

位 15-13	000	001	010	011	100	101	110	111
电压 (V)	1.85	1.35	1.56	1.70	1.87	1.91	1.96	2.02

3 外设

- 两个事件管理器模块 (EM1 , EM2)
- 模数转换器(ADC) 模块
- 控制器局域网(CAN) 模块
- 串行通信接口模块(SCI)
- 串行外设接口(SPI) 模块
- PLL 时钟模块
- 数字 I/O 口以及复用引脚功能
- 外部存储器接口
- 看门狗 (WD) 定时器

3.1 事件管理器模块 (EM1 , EM2)

事件管理器模块包括通用(GP) 定时器、完全比较/ PWM 单元、捕捉单元、和正交编码器脉冲(QEP) 电路，EM1 和 EM2 结构相同。但是 EM1 和 EM2 的定时器/单元名称不同。表 3-1-1 显示了使用的模块、信号名称、特性、功能，并且标出了 EM1 命名规则。

EM1 和 EM2 具有完全一样的外设寄存器组，只是 EM1 外设寄存器的地址从 7400h 开始，而 EM2 外设寄存器的地址则从 7500h 开始。这部分内容描述了使用 EM1 命名规则的通用定时器、比较单元、捕捉单元、和 QEP 的功能。虽然在功能方面同样适用于 EM2，但是模块/信号名称不同，表 3-1-1 中列出了 EM1 和 EM2 寄存器。

表3-1. 针对EM1和EM2的模块和信号名称

事件管理器模块	EM1		EM2	
	模块	信号	模块	信号
通用定时器	GP 定时器 1	T1PWM/T1CMP	GP 定时器 3	T3PWM/T3CMP
	GP 定时器 2	T2PWM/T2CMP	GP 定时器 4	T4PWM/T4CMP
比较单元	比较器 1	PWM1/2	比较器 4	PWM7/8
	比较器 2	PWM3/4	比较器 5	PWM9/10
	比较器 3	PWM5/6	比较器 6	PWM11/12
捕捉单元	捕捉 1	CAP1	捕捉 4	CAP4
	捕捉 2	CAP2	捕捉 5	CAP5
	捕捉 3	CAP3	捕捉 6	CAP6
QEP	QEP1	QEP1	QEP3	QEP3
	QEP2	QEP2	QEP4	QEP4
外部输入	方向	TDIRA	方向	TDIRB
	外部时钟	TCLKINA	外部时钟	TCLKINB

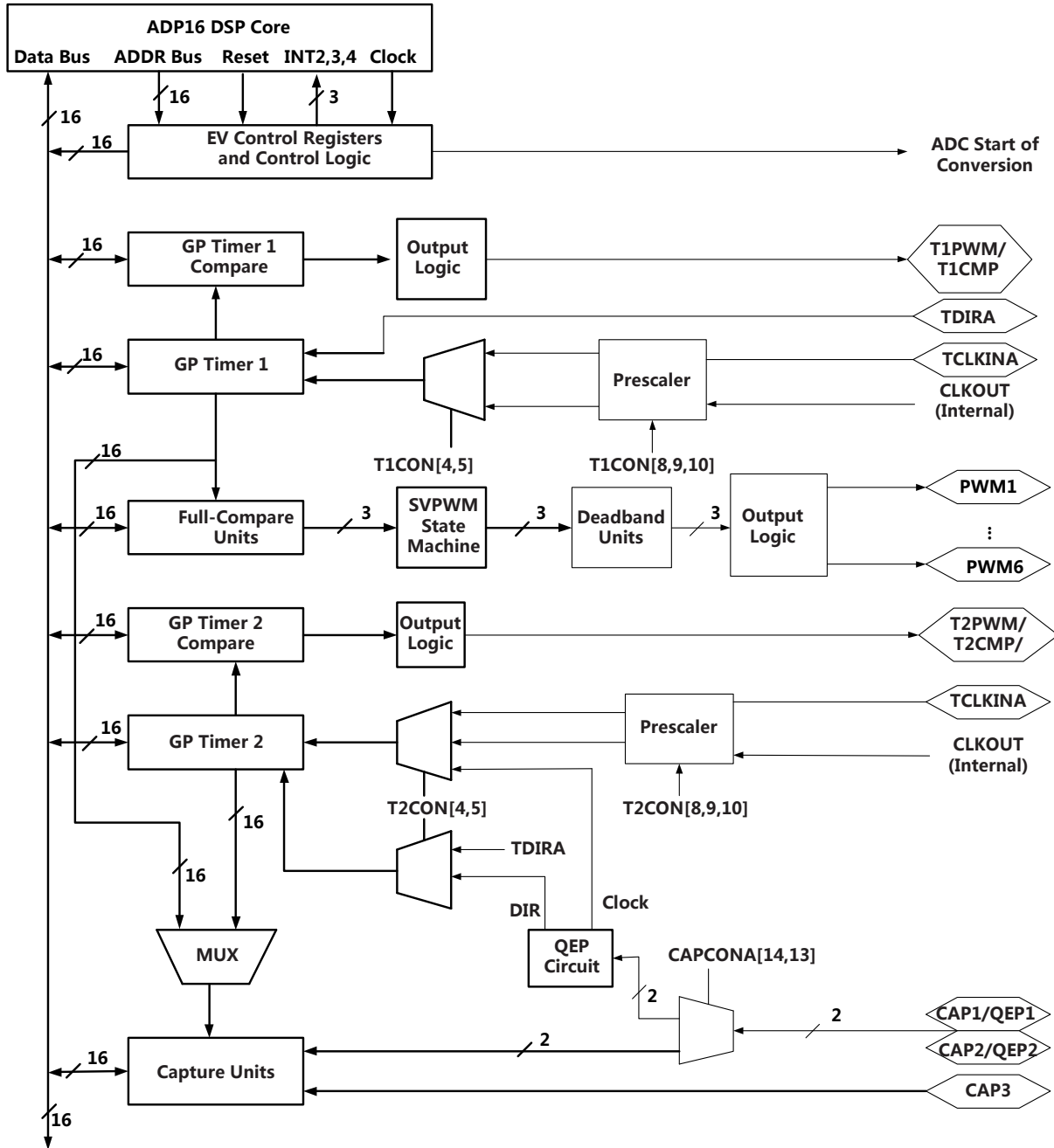


图 3-1 事件管理器 EM1 功能方框图(EM1 和 EM2 相同)

3.1.1 通用(GP)定时器

有两个通用定时器。通用定时器 x (对于 EM1, x=1 或者 2; 对于 EM2, x=3 或者 4) 包括:

- 一个 16 位定时增/减计数计数器, TxCNT, 用于读取或者写入
- 一个 16 位定时器比较寄存器, TxCMPR (使用阴影寄存器实现双缓冲), 用于读取或者写入
- 一个 16 位定时器周期寄存器, TxPR (使用阴影寄存器实现双缓冲), 用于读取或者写入
- 一个 16 位定时器控制寄存器, TxCON, 用于读取或者写入
- 可选内部或者外部输入时钟
- 一个针对内部或者外部时钟输入的可编程预分频器
- 中断控制逻辑, 用于四个可屏蔽中断: 下溢, 溢出, 定时器比较, 和周期中断
- 一个可选方向输入引脚(TDIRx) (当定向增/减计数模式被选中时进行增计数或者减计数)

通用定时器各定时器之间可独立运行和同步运行。与每个通用定时器相关的比较寄存器可被用于比较功和 PWM 波形生成, 每个通用定时器有三种连续运行模式。带有可编程分频器的内部或者外部输入时钟被用于每个通用定时器。通用定时器还为其它事件管理器子模块提供时基:

通用定时器 1 为所有比较和 PWM 电路提供时基。

通用定时器 2 为捕捉单元和正交脉冲计数运行提供时基。

按照需要, 周期和比较寄存器的双缓冲可实现定时器(PWM)周期和比较/ PWM 脉冲宽度的可编程变化。

3.1.2 完全比较单元

在每个事件管理器上有三个完全比较单元。这些比较单元使用通用定时器作为时基, 并且产生六路比较输出, 产生的 PWM 波形使用了可编程的死区电路。这六路输出中每一路输出的状态可独立配置。比较单元的比较寄存器是双缓冲的, 从而可实现所需的比较/ PWM 脉冲宽度可编程变化。

3.1.3 可编程死区发生器

死区发生器电路包括三个 4 位计数器和一个 4 位比较寄存器和输入时钟预定标器。所需的死区值 (从 0 到 16 μ s) 可以通过编程写入比较寄存器中, 用于三个比较单元的输出。对于每一个比较单元输出, 可单独启用/禁用死区生成。死区发生器电路为每个比较单元输出信号产生两个输出 (带有或者不带有死区)。通过双缓冲 ACTR 寄存器, 死区发生器的输出状态可按照需要配置和改变。

3.1.4 PWM 波形生成

每一个事件管理器可同时产生最多 8 路 PWM 波形（输出）：带有可编程死区的三个完全比较单元成的三个独立对（六个输出），和通用定时器比较生成的两个独立 PWM。

3.1.5 PWM 特性

PWM 特性如下：

- 16 位寄存器
- 每组 PWM 输出的可编程死区时间是从 0 到 16 μ s
- 最小死区宽度为 10 ns
- 按照需要通过 PWM 频率摆动来改变的 PWM 载波频率
- 可在每个 PWM 周期结束之后改变所需的 PWM 脉冲宽度
- 带有外部可屏蔽的电源和驱动保护中断
- 波形发生器电路，可编程生成不对称、对称以及四空间向量的 PWM 波形
- 使用比较和周期寄存器的自动重新载入可大大减少 CPU 的开销

3.1.6 捕捉单元

捕捉单元为不同事件或者转换提供一个记录功能。当在捕捉输入引脚CAPx（对于EM1，x = 1，2，或者3；对于EM2，x = 4，5，或者6）上检测到指定的电平变化时，选定的通用定时器计数器的值就会被捕捉并存储在两级深FIFO堆栈内。比较单元由三个捕捉电路组成。

捕捉单元包括下列特性：

- 一个16 位捕捉控制寄存器，CAPCONx(R/W)
- 一个16 位捕捉FIFO 状态寄存器，CAPFIFOx
- 选择通用定时器1/2（对于EM1）或者3/4（对于EM2）作为时基
- 3 个16 位2 级深FIFO 堆栈，每个堆栈用于一个比较单元
- 3 个比较输入引脚（对于EM1，CAP1/2/3，对于EM2，CAP4/5/6）- 每个捕捉单元一个输入引脚。（所有输入与器件(CPU)时钟同步。为了捕捉到一个转换，输入必须保持在其当前的电平状态在两个设备时钟的上升沿。输入引脚CAP1/2 和CAP4/5 也可被用作到QEP 电路的QEP 输入。）
- 用户指定跳变（上升边沿、下降边沿、或者这两个边沿）检测
- 三个可屏蔽中断，分别对应每个捕捉单元

3.1.7 正交编码脉冲(QEP) 电路

两个捕获输入引脚（对于EM1，CAP1 和CAP2；对于EM2，CAP4 和CAP5；）可被设置成片内QEP 电路，并且与正交编码脉冲的对接。为了保证这些输入信号芯片的运行完全同步，当正交脉冲序列的方向或者边沿被检测到时，通用定时器2/4随着两个输入信号（输入脉冲的四倍频）的上升和下降沿递增或递减。

3.2 模数转换器 (ADC)

3.2.1 ADC 的特性

- 具有内置 S/H 的 10 位模拟 AD 核 (ADC)。
- 模拟输入：0.0V 至 3.0V（高于 3.0V 的电压产生满量程转换结果）。
- 转换速率：4MHz ADC 时钟，转换速率为 250ns。
- 16 通道被复用输入，自动定序功能在单次会话中可提供多达 16 次“自动转换”，可将每次转换编程为选择 16 个输入信道中的任何一个。
- 序列发生器可运行为 2 个独立的 8 态序列发生器（注：序列发生器级联模式不可用）
- 用于存储转换值的 16 个结果寄存器（可分别寻址）。

输入模拟电压的数值源自：

$$Digital\ Value = 1023 \times \frac{Input\ Analog\ Voltage - ADCL0}{3} \quad \text{输入电压 } 0V \sim 3V$$

- 转换开始(SOC) 序列源的多个触发器：
 - S/W——软件立即启动
 - EM1——事件管理器 1（EM1 内的多个事件源）
 - EM2——事件管理器 2（EM2 内的多个事件源）
 - 外部引脚——ADCSOC
- 灵活的中断控制允许每个序列结束(EOS) 或其它 EOS 上的中断请求。
- 序列发生器可运行在“启动/停止”模式，以便多个“时序触发器”进行同步转换。
- EM1 和 EM2 触发器可独立运行在双序列发生器模式。
- 内部能带隙和外部基准电压模式可切换。
- ADC 直流失调可校准。

ADC 模块具有在 4MHz ADC 时钟上有一个 250ns 的快速转换速率，有 16 个输入通道，分 A0~A7 和 B0~B7，这些通道可被配置为两个用于事件管理器 1 和 2 的独立 8 通道模块。尽管有多个输入信道和 2 个序列发生器，但在 ADC 模块中只有一个转换器。2 个 8 通道模块可自动对一系列转换定序，每个模块可以通过模拟 MUX 选择其中一个可用的 8 通道。在每个序列发生器上，一旦转换完成，所选的通道值将存储在各自的 RESULT 寄存器中。系统可使用自动定序功能多次转换同一信道，以使用户执行采样算法。这种采样算法可提供比传统的单一采样转换结果更高的分辨率。

3.2.2 模数转换 (ADC) 寄存器

模数转换 (ADC) 寄存器如表 3-2-2 所示：

表 3-2-2 ADC 寄存器

名称	地址	大小 (x16)	描述
ADCTRL1	70A0h	1	ADC 控制寄存器 1
ADCTRL2	70A1h	1	ADC 控制寄存器 2
MAXCONV	70A2h	1	最大转换通道寄存器
CHSELSEQ1	70A3h	1	通道选择控制寄存器 1
CHSELSEQ2	70A4h	1	通道选择控制寄存器 2
CHSELSEQ3	70A5h	1	通道选择控制寄存器 3
CHSELSEQ4	70A6h	1	通道选择控制寄存器 4
AUTO_SEQ_SR	70A7h	1	自动排序状态寄存器
RESULT0	70A8h	1	结果寄存器 0
RESULT1	70A9h	1	结果寄存器 1
RESULT2	70AAh	1	结果寄存器 2
RESULT3	70ABh	1	结果寄存器 3
RESULT4	70ACh	1	结果寄存器 4
RESULT5	70ADh	1	结果寄存器 5
RESULT6	70AEh	1	结果寄存器 6
RESULT7	70AFh	1	结果寄存器 7
RESULT8	70B0h	1	结果寄存器 8
RESULT9	70B1h	1	结果寄存器 9
RESULT10	70B2h	1	结果寄存器 10
RESULT11	70B3h	1	结果寄存器 11
RESULT12	70B4h	1	结果寄存器 12
RESULT13	70B5h	1	结果寄存器 13
RESULT14	70B6h	1	结果寄存器 14
RESULT15	70B7h	1	结果寄存器 15
CALIBRATION	70B8h	1	校准寄存器

如图 3-2-2-1 所示：设计中有 SEQ1 和 SEQ2 两个排序器，但只有一个模数转换器，所以两个排序器要共用一个模数转换器。ADC 模块的模拟部分包括了 S/H-A、S/H-B 和 10 位 ADC，其余部分都划分在 ADC 的数字部分。通道选择 MUX 负责切换不同的通道将数据送入模拟 AD 核进行转化，结果 MUX 负责切换不同的结果寄存器将 ADC 转换的数字码送入对应的结果寄存器当中。

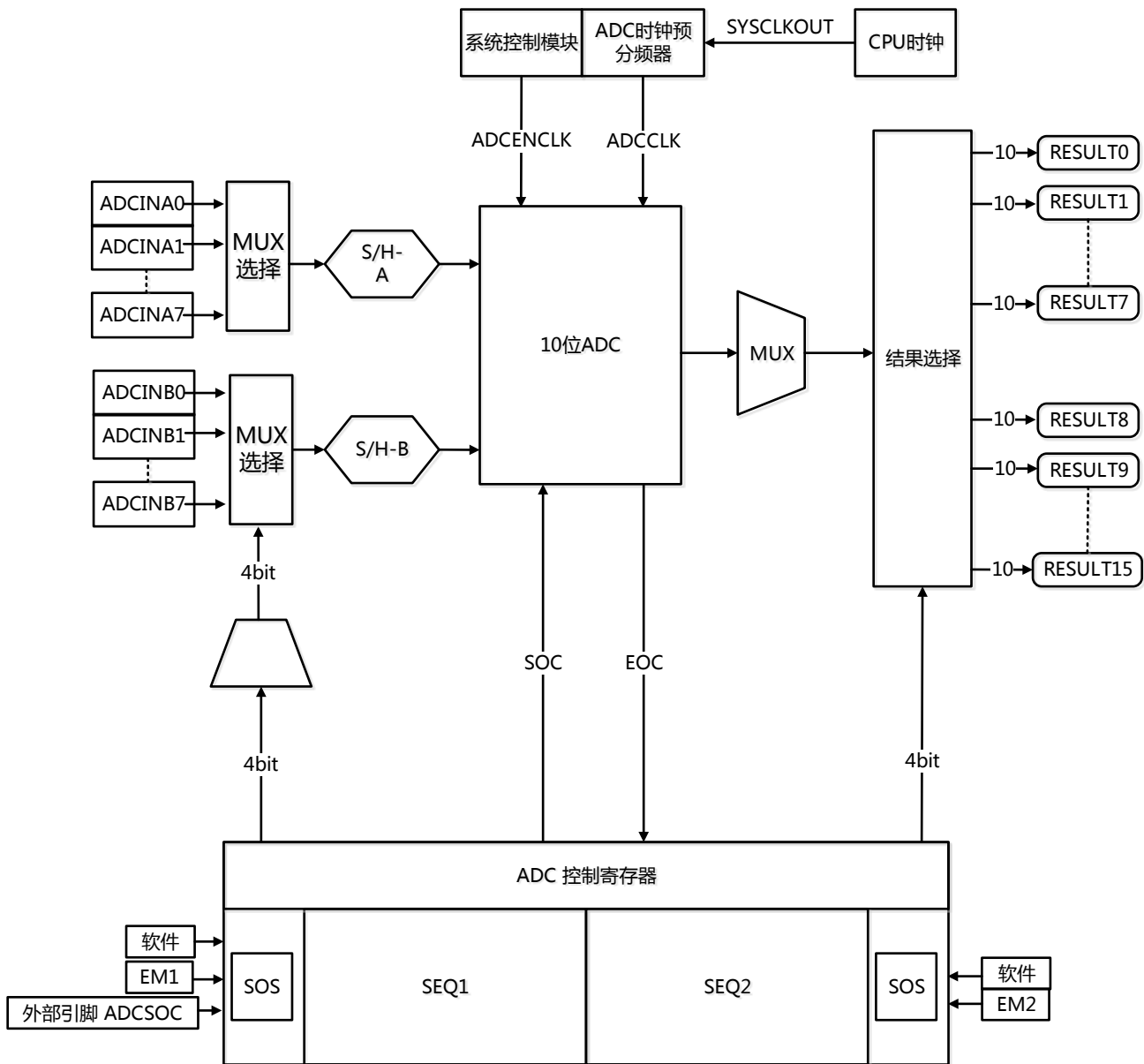


图 3-2-2-1 ADC 模块的结构图

要获得指定的 ADC 精度，正确的电路板布局非常关键。为尽可能达到最佳效果，引入 ADCINxx 引脚的走线不应与数字信号通道靠的太近。这是为了最大程度地减少数字线路上因 ADC 输入耦合而产生的开关噪声。此外，必须使用适当的隔离技术，将 ADC 模块电源引脚 (VCCA 和 VDDA2)与数字电源隔离。为了获得更佳的精度和 ESD 保护，未使用的 ADC 输入应该被接至模拟接地。

注释：用 SYSCLKOUT 时钟速率对 ADC 寄存器进行访问。ADC 模块的内部时序由高速外设时钟 (ADCCLK) 控制。

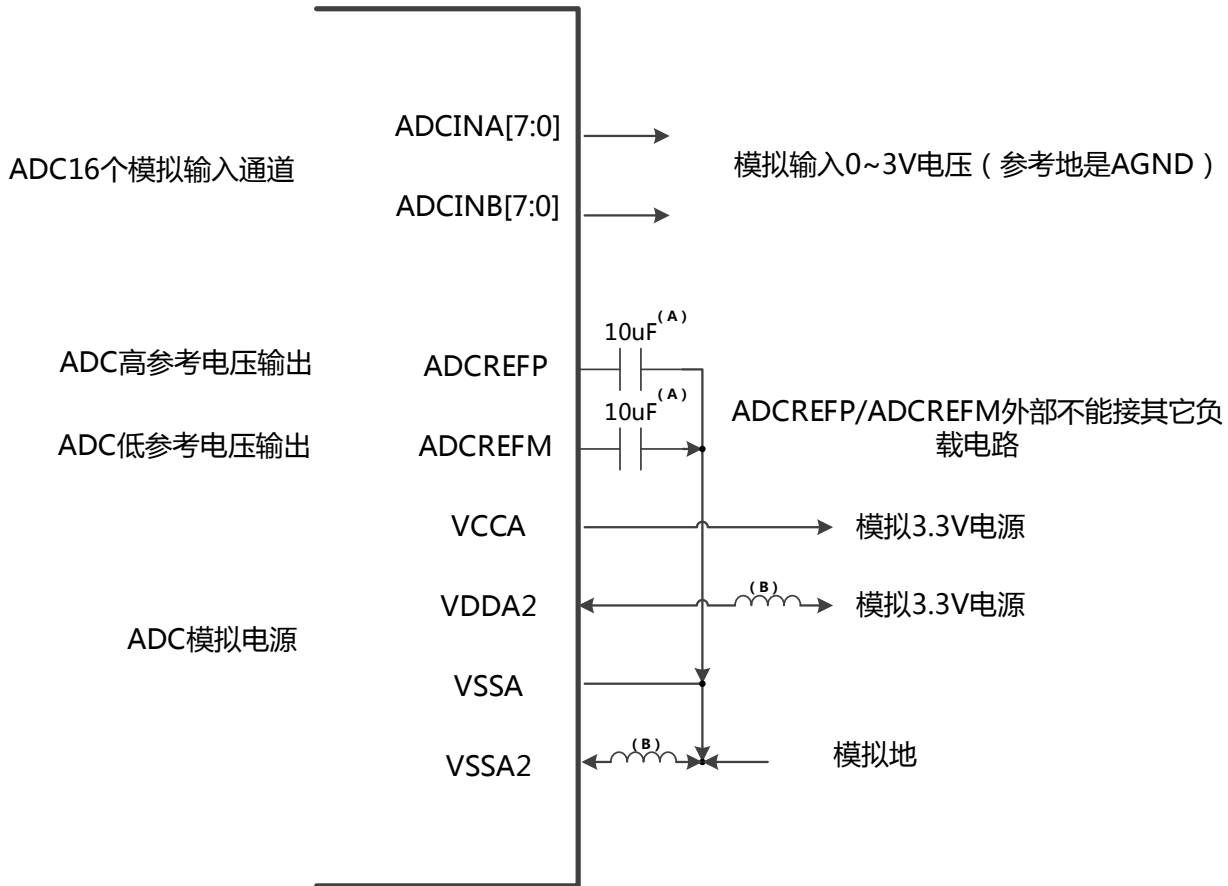


图 3-2-2-2 ADC 引脚内部基准的连线

- A. TAIYO YUDEN EMK325F106ZH , EMK325BJ106MD , 或者等效陶瓷电容器。
- B. BLM21P221SN 或者等效磁珠 (消除 VDDA2/VSSA2 的抖动对 VCCA/VSSA 的影响)。
- C. 建议在所有电源引脚上使用外部去耦合电容器。
- D. 必须从不会降低 ADC 性能的运算放大器上驱动模拟输入。

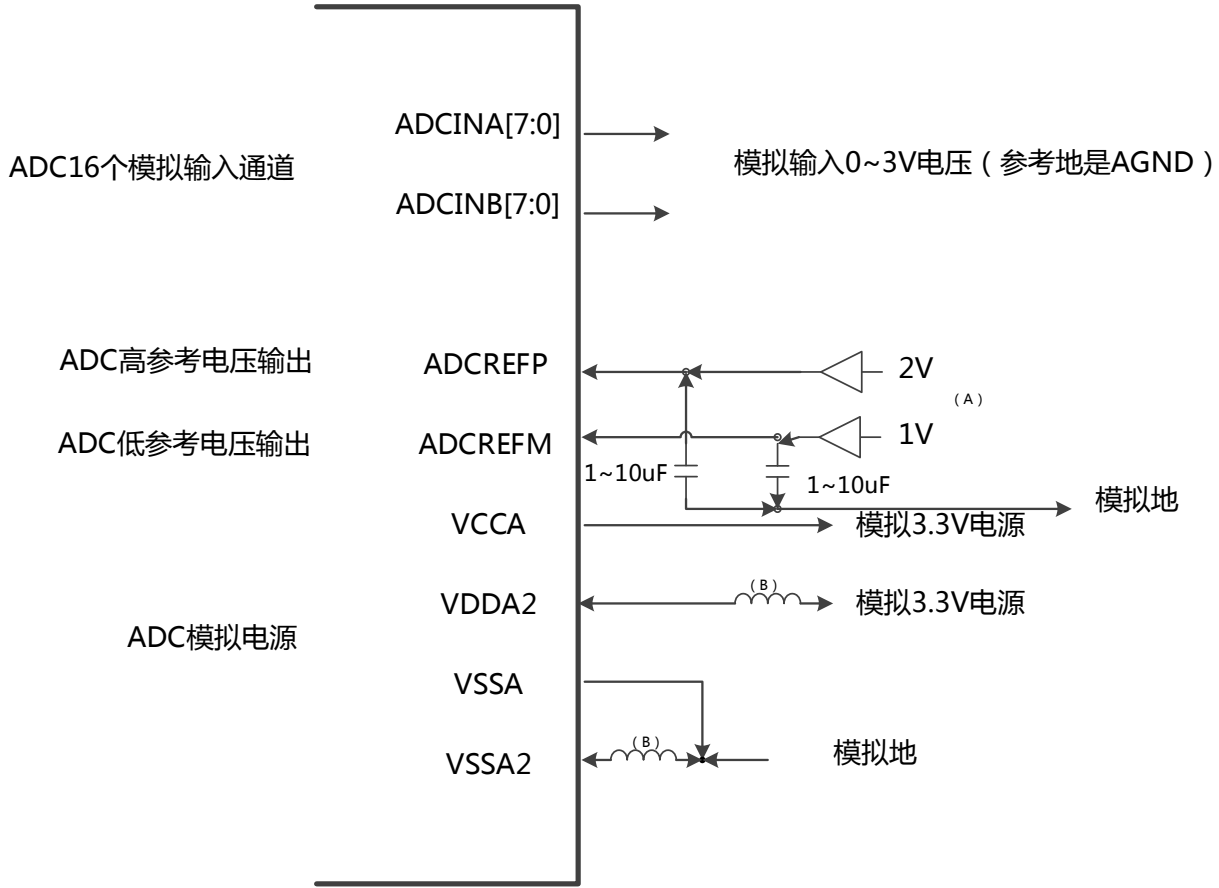


图 3-2-2-3 外部基准的 ADC 引脚连线

- A. 建议将经缓冲外部基准与一个 $(ADCREFP-ADCREFM)=1V\pm 0.1\%$ 或者更好的电压差值一起提供。在这个模式中，外部基准的精度对于总体增益十分关键。电压 $ADCREFP-ADCREFM$ 将确定总体精度。
- B. BLM21P221SN 或着等效磁珠（消除 VDDA2/VSSA2 的抖动对 VCCA/VSSA 的影响）。
- C. 建议在所有电源引脚上使用外部去耦合电容器。
- D. 必须从不会降低 ADC 性能的运算放大器上驱动模拟输入。

3.3 控制器局域网络(CAN) 模块

CAN 模块是一个设计为 16 位外设模块的全 CAN 控制器，并支持以下功能：

- CAN 规范 2.0B
 - 标准数据和远程帧
 - 扩展数据和远程帧
- 六个邮箱用于数据长度为 0 到 8 个字节的对象
 - 两个接收邮箱，两个发送邮箱
 - 两个可配置的发送/接收邮箱
- 本地接收屏蔽寄存器为邮箱0和1以及邮箱2和3
- 可配置的标准或扩展的消息标识符
- 可编程波特率
- 可编程中断方案
- 可读的错误计数器
- 自检模式
 - 在这种模式下，CAN模块以回送方式运行，接收自己的传输信息。CAN模块是一个16位外设。访问分为控制/状态寄存器访问和邮箱RAM访问。

CAN外设寄存器：CPU只能使用16位写访问来访问CAN外设寄存器。在读周期中，CAN外设总是向总线提供完整的16位数据。

3.3.1 CAN 控制器架构

图3-3-1通过CAN外设的框图显示了CAN控制器的基本结构。

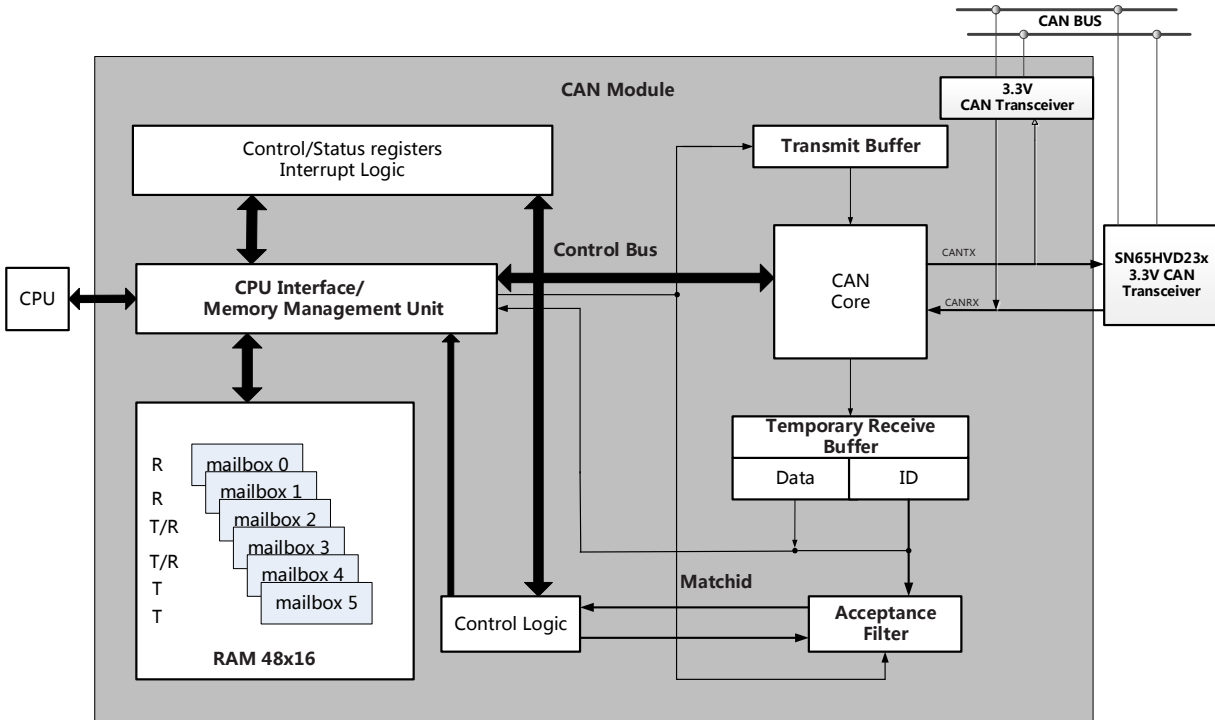


图3-3-1 CAN框图

邮箱位于一个48字x 16位的RAM中。可以通过CPU或CAN写入或读取。CAN写入或读取访问以及CPU读取访问需要一个时钟周期。CPU写访问需要两个时钟周期。在这两个时钟周期中，CAN执行读取—修改—写入周期，因此，为CPU插入一个等待状态。访问RAM时使用的地址总线的地址位0决定是否采用32位字的低位（0）或高位（1）16位字，表3-3-3显示了RAM中的邮箱位置，一个半字有16位。

3.3.2 CAN 中断逻辑

从CAN模块到外设中断扩展（PIE）控制器有两个中断请求。邮箱中断和错误中断。两个中断都可以向CPU发出高优先级请求或低优先级请求。由于CAN信箱可以产生多个中断，所以软件应该为每个中断读取CAN_IFR寄存器，并优先处理中断服务，否则这些多个中断将不会被CPU和PIE硬件逻辑识别。每个中断例程应该服务于所有设置的中断位，并在处理完中断子程序后清除相应标志位。

3.3.3 CAN 存储器映射

表3-3-3 显示了CAN模块中的邮箱位置。

表3-3-3.邮箱地址

ADDRESS OFFSET [5:0]	NAME	DESCRIPTION	
		UPPER HALF-WORD ADDRESS BIT 0 = 1	LOWER HALF-WORD ADDRESS BIT 0 = 0
00h	MSGID0	Message ID for mailbox 0	Message ID for mailbox 0
02h	MSGCTRL0	Unused	RTR and DLC (bits 4 to 0)
04h	Datalow0	Databyte 0, Databyte 1 (DBO = 1)	Databyte 2, Databyte 3 (DBO = 1)
		Databyte 3, Databyte 2 (DBO = 0)	Databyte 1, Databyte 0 (DBO = 0)
06h	Datahigh0	Databyte 4, Databyte 5 (DBO = 1)	Databyte 6, Databyte 7 (DBO = 1)
		Databyte 7, Databyte 6 (DBO = 0)	Databyte 5, Databyte 4 (DBO = 0)
08h	MSGID1	Message ID for mailbox 1	Message ID for mailbox 1
0Ah	MSGCTRL1	Unused	RTR and DLC (bits 4 to 0)
0Ch	Datalow1	Databyte 0, Databyte 1 (DBO = 1)	Databyte 2, Databyte 3 (DBO = 1)
		Databyte 3, Databyte 2 (DBO = 0)	Databyte 1, Databyte 0 (DBO = 0)
0Eh	Datahigh1	Databyte 4, Databyte 5 (DBO = 1)	Databyte 6, Databyte 7 (DBO = 1)
...
28h	MSGID5	Message ID for mailbox 5	Message ID for mailbox 5
2Ah	MSGCTRL5	Unused	RTR and DLC (bits 4 to 0)
2Ch	Datalow5	Databyte 0, Databyte 1 (DBO = 1)	Databyte 2, Databyte 3 (DBO = 1)
		Databyte 3, Databyte 2 (DBO = 0)	Databyte 3, Databyte 2 (DBO = 0)
2Eh	Datahigh5	Databyte 4, Databyte 5 (DBO = 1)	Databyte 6, Databyte 7 (DBO = 1)
		Databyte 7, Databyte 6 (DBO = 0)	Databyte 5, Databyte 4 (DBO = 0)

3.4 串行通信接口 (SCI) 模块

ADP16F0X包含一个串行通信接口 (SCI) 模块，串口通信模块的寄存器的位宽为8位。SCI支持CPU和其他使用标准NRZ (非归零) 格式的异步外设之间进行异步串行数字通信。SCI的接收器和发送器是双缓冲的，各自有独立使能和中断位，两者均可以独立工作，或者在全双工模式下同时工作。为了确保数据的完整性，SCI会对收到的数据进行测试，如间断测试、奇偶性、超限和帧错误测试等。位速率 (波特率) 可以通过一个16位的波特率选择寄存器进行编程，因此可以获得超过65000种的不同速率。

SCI模块包括：

- 两个 I/O 引脚
 - SCIRXD：SCI 接收数据引脚
 - SCITXD：SCI 发送数据引脚
- 波特率可设定到 64K 不同速率
- 数据字格式
 - 1 个起始位
 - 1~8 位的可编程数据字长度
 - 奇偶校验位 (有/无)
 - 一个或两个停止位
- 4 个错误检测标志：奇偶、超载、数据帧、和中断检测
- 两种唤醒多处理器模式：空闲线唤醒和位寻址唤醒
- 半双工或全双工操作
- 双缓冲的接收和发送功能
- 发送器和接收器操作可以通过带有状态标志的中断驱动或轮询算法来完成。
 - 发射器：TXRDY 标志 (发送器缓冲寄存器已经准备好接收另外字符) 和 TX EMPTY 标志位 (发射器移位寄存器已空)
 - 接收器：RXRDY 标志 (接收器缓冲寄存器已经准备好接收另外字符)，BRKDT 标志 (间断条件发生) 和 RX ERROR 标志 (监视 4 个中断条件)
- 用于发射器和接收器中断的独立使能位 (除了 BRKDT)
- NRZ (非归零) 码格式
- SCI 模块控制寄存器位于开始地址为 7050h 的控制寄存器帧内

注意：该模块中的所有寄存器都是连接到 16 位外设总线的 8 位寄存器。当访问寄存器时，寄存器数据位于低位字节 (7-0)，高位字节 (15-8) 被读为零。写入高位字节不起作用。

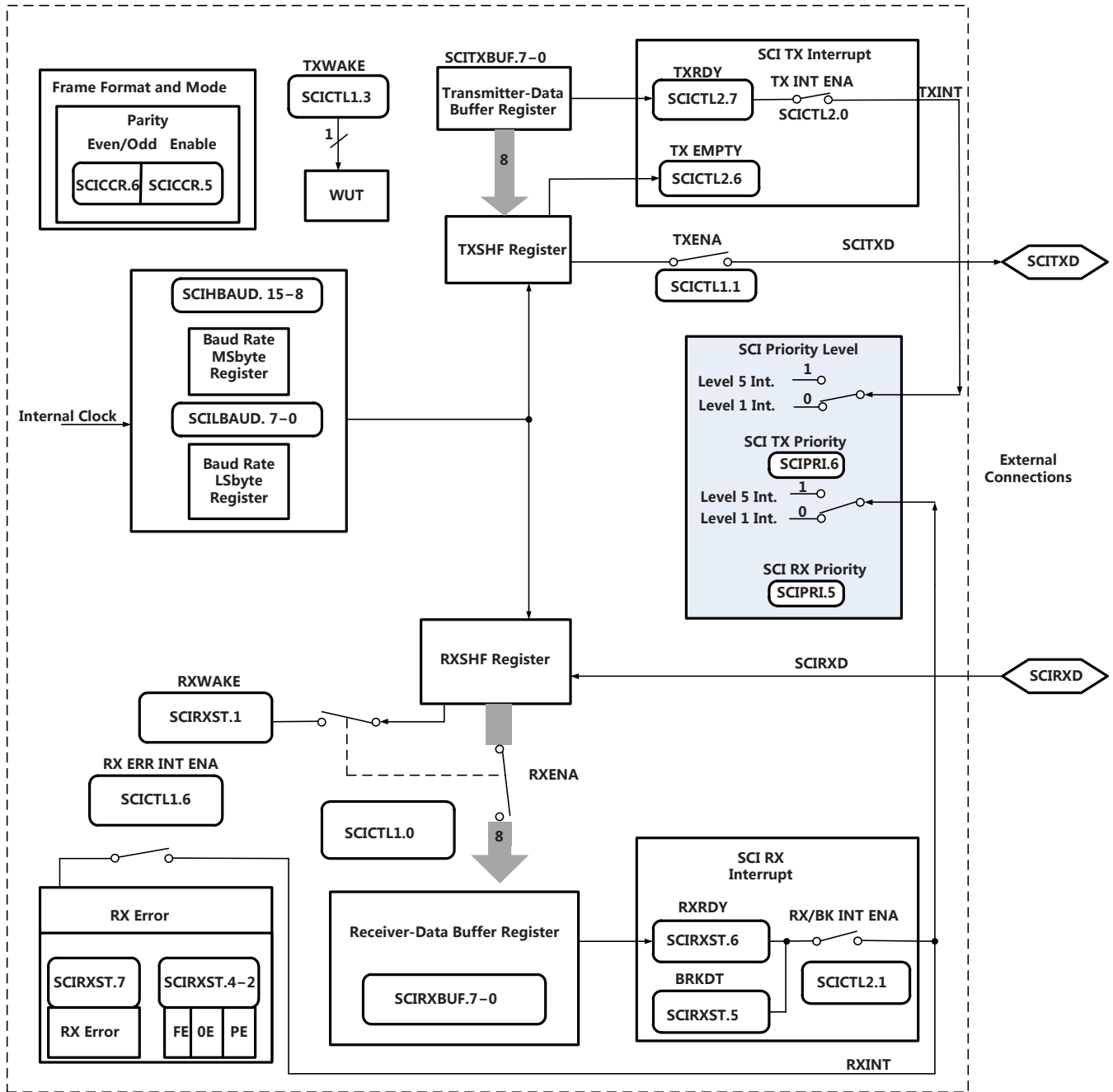


图 3-4 SCI 模块的方框图

3.5 串行外设接口 (SPI) 模块

ADP16F0X 带有四引脚串行外设接口 (SPI) 模块。SPI 是一个高速同步串行 I/O 端口，该设备端口传输的串行数据流的位宽 (1 至 16 位) 是可编程的。通常 SPI 用于 DSP 控制器与外部设备或其他处理器之间的通信。典型应用包括外部 I/O 或通过该设备接口外扩移位寄存器、显示驱动器以及 ADC。SPI 的主/从工作模式支持多设备通信。

SPI 模块的功能包括：

- 四个外部引脚：
 - SPISOMI：SPI 从机--输出/主机--输入引脚
 - SPISIMO：SPI 从机--输入/主机--输出引脚
 - SPISTE：SPI 从机发送使能引脚
 - SPICLK：SPI 串行时钟引脚
- 注：如果不使用 SPI 模块时，这四个引脚可以作为 GPIO 口使用。
- 两种运行模式：主模式和从模式
- 波特率：可编程 125 个不同的速率。
- 数据字长：1~16 个数据位
- 四个时钟模式 (由时钟极性和时钟相位位控制) 包括：
 - 下降沿无相位延迟：SPICLK 高电平有效。SPI 在 SPICLK 信号的下降沿传输数据，并在 SPICLK 信号的上升沿接收数据。
 - 下降沿有相位延迟：SPICLK 高电平有效。SPI 在 SPICLK 信号的下降沿前半个周期传送数据，并在 SPICLK 信号的下降沿接收数据。
 - 上升沿无相位延迟：SPICLK 无效低电平。SPI 在 SPICLK 信号的上升沿传输数据，并在 SPICLK 信号的下降沿接收数据。
 - 上升沿有相位延迟：SPICLK 无效低电平。SPI 在 SPICLK 信号的下降沿之前的一个半个周期传送数据，并在 SPICLK 信号的上升沿接收数据。
- 同时接收和发送操作 (在软件中可以禁用发送功能)
- 发射器和接收器操作是通过中断或查询状态标志位的方式来完成。
- 9 个 SPI 模块控制寄存器：位于控制寄存器中，在地址 7040h 开始。

注：这个模块中的所有寄存器都是 16 位寄存器，它们连接到 16 位外围总线。当一个寄存器被访问时，寄存器数据位于下一个字节 (70)，上字节 (158) 被读取为 0。对上字节的写入没有影响。

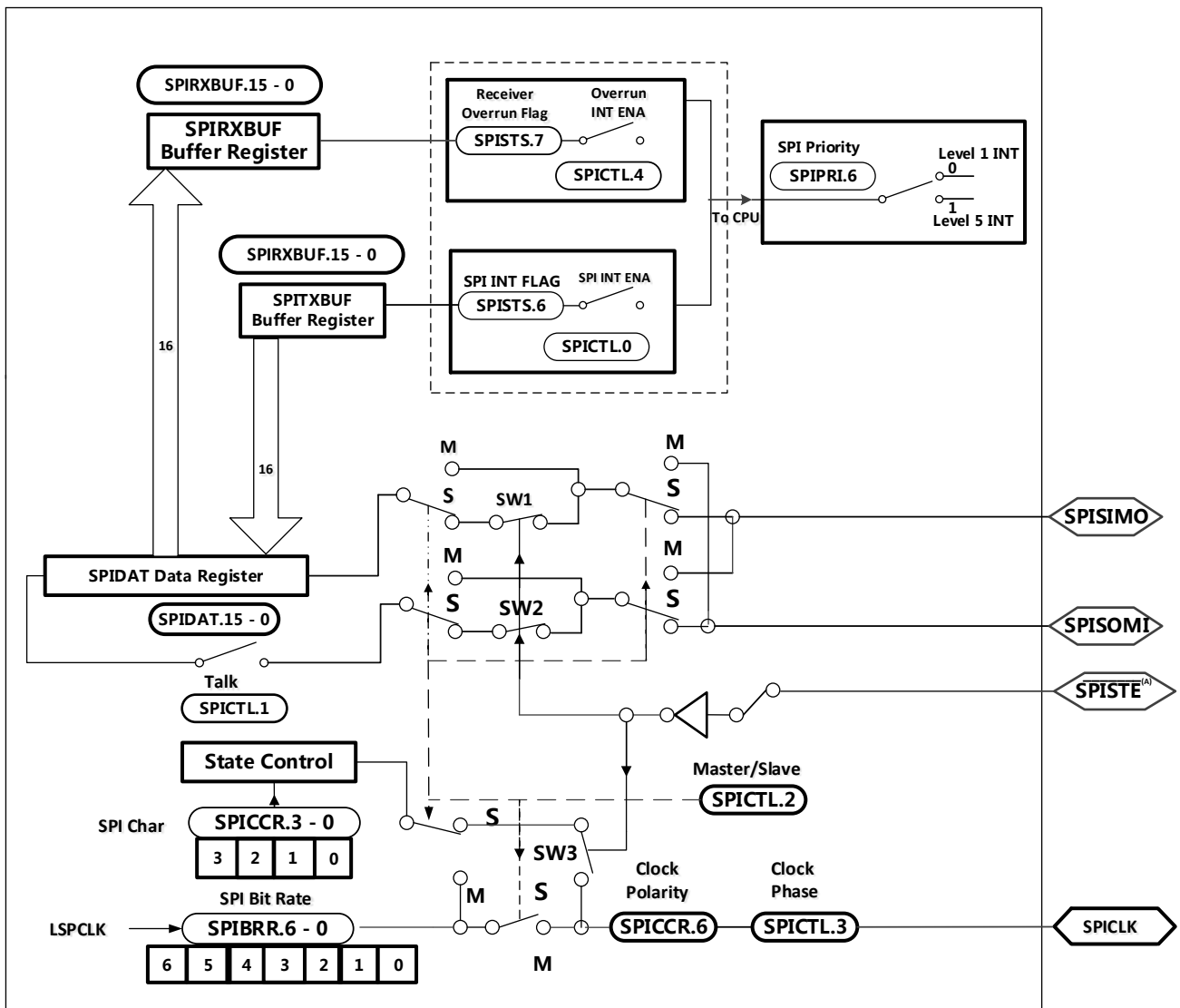


图 3-5 SPI 从模式的工作原理方框图

3.6 PLL 时钟模块

ADP16F0X有一个片载、基于PLL的时钟模块。这个模块为设备提供所有需要的时钟信号，以及控制设备进入低功耗模式。PLL通过3个比特位 (SCSR1.11 : 9) 来控制 and 选择不同的CPU 时钟频率。

关于PLL时钟模块的框图，请参见图3-6。

时钟速率请参见表3-6。

基于PLL的时钟模块提供两种操作模式：

- 晶振模式

这个模式允许使用一个外部晶振/谐振器来为设备提供时基。

- 外部时钟源模式

这个模式允许内部振荡器旁路。此时设备时钟由一个外部时钟源提供，并从X1/CLKIN引脚输入。在这种情况下，外部振荡器时钟连接到X1/CLKIN引脚。

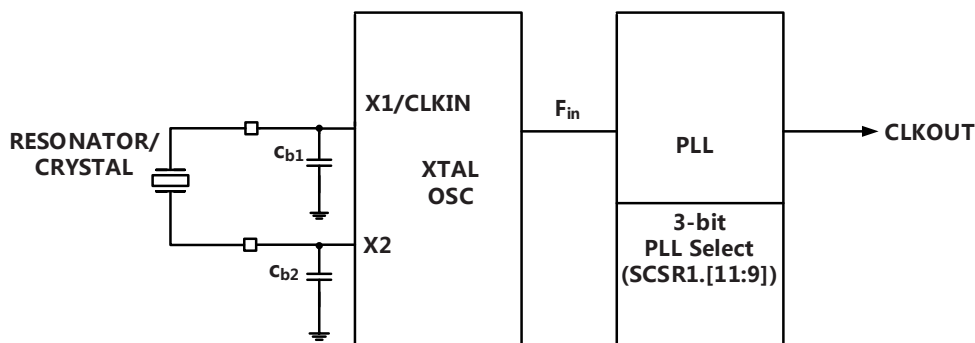


图3-6 PLL时钟模块框图

表3-6 通过SCSR1寄存器中的位 (11-9) 选择PLL时钟

CLK PS2	CLK PS1	CLK PS0	CLKOUT
0	0	0	$0.5 \times F_{in}$
0	0	1	$1.5 \times F_{in}$
0	1	0	$2.5 \times F_{in}$
0	1	1	$3.5 \times F_{in}$
1	0	0	$4.5 \times F_{in}$
1	0	1	$5.5 \times F_{in}$

3.6.1 外部参考晶体时钟选项

通过在 X1 / CLKIN 和 X2 引脚之间连接一个晶振来使能内部振荡器，如图 3-6-2a 所示。晶振应处于基本工作状态和并联谐振状态，有效阻抗为 30Ω，功耗为 1 mW；指定的负载电容为 20 pF。

3.6.2 外部参考振荡器时钟选项

通过将时钟信号连接到 X1 / CLKIN 并保持 X2 输入引脚处于未连接状态，内部振荡器被禁止，如图 3-6-2b 所示。

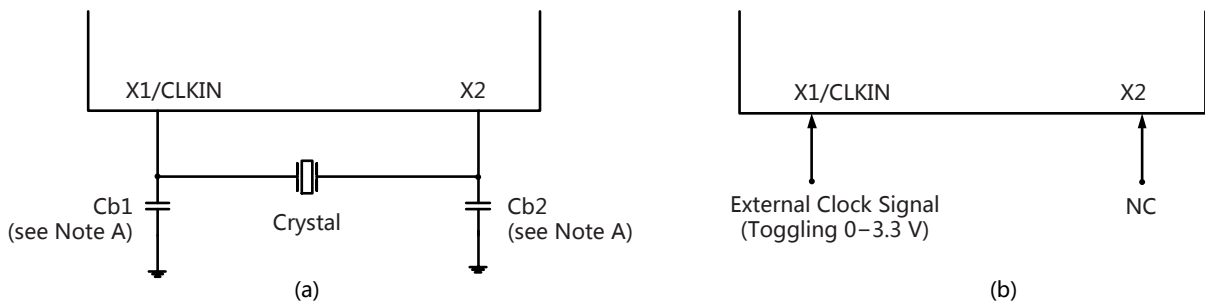


图 3-6-2 推荐的晶体/时钟连接

3.6.3 低功耗模式

ADP16F0X 有一个 IDLE 指令。执行时，IDLE 指令将停止 CPU 的时钟，但 CPU 的时钟输出继续运行。通过此指令，可以关闭 CPU 时钟以节省功耗，而外设（CLKOUT 时钟）继续运行。如果它被复位，或者，如果它收到一个中断请求，CPU 退出 IDLE 状态。

3.6.4 时钟域

所有基于 ADP16F0X 的设备都有两个时钟域：

- CPU 时钟域 - 由大部分 CPU 逻辑的时钟组成。
- 系统时钟域 - 由外设时钟（来自 CPU 的 CLKOUT）和 CPU 中的中断逻辑时钟组成。

当 CPU 进入 IDLE 模式时，CPU 时钟域在系统时钟域继续运行时停止。这种模式也被称为 IDLE1 模式。CPU 还支持第二种 IDLE 模式 IDLE2。通过 IDLE2 旁路 CPU，CPU 时钟域和系统时钟域都将停止，从而进一步节省功耗。当在 IDLE2 模式下振荡器和 WDCLK 也被关闭，那就会进去 HALT 模式，这可能是第三种最深的低功耗模式。两个控制位 LPM1 和 LPM0 指定执行 IDLE 指令时，决定了进入三种可能的低功耗模式中的哪一种（见表 3-6-4-1）。这些位在系统控制和状态寄存器 1（SCSR1）中。

表 3-6-4-1 低功耗模式概要简述

低功耗模式	LPMxBITS SCSR1[13:12]	CPU Clock	SYSTEM Clock	WDCLK Status	PLL Status	OSC Status	Flash Power	退出条件
CPU 正常运行	XX	打开	打开	打开	打开	打开	打开	—
IDLE1 – (LPM0)	00	关闭	打开	打开	打开	打开	打开	外设中断 外部中断 重启 <u>PDPINTA/B</u>
IDLE2 – (LPM1)	01	关闭	关闭	打开	打开	打开	打开	唤醒中断 外部中断 重启 <u>PDPINTA/B</u>
HALT - (LPM2) [PLL / OSC 掉电]	1X	关闭	关闭	关闭	关闭	关闭	关闭	重启 <u>PDPINTA/B</u>

3.6.5 其他掉电选项

ADP16F0X 具有用于以下片内外设的时钟使能位：ADC，SCI，SPI，CAN，EM1 和 EM2。复位后，这些外设的时钟被禁止；因此，设备的启动功率可能较低。根据应用的不同，可以打开/关闭这些外设以实现低功耗。

关于外设时钟使能位的详细信息，请参考 SCSR1 寄存器。

3.7 数字 I/O 口以及复用引脚功能

ADP16F0X 具有多达 40 个通用双向数字 I/O (GPIO) 引脚，其中大部分引脚属于功能和通用 I/O 复用硬件。数字 I/O 端口模块为控制和使用通用 I/O 和数字功能提供了一种灵活的方法。所有的 I/O 的数字功能和通用 IO 功能都由 8 个 16 位寄存器控制。这些寄存器分为两种类型：

- 输出控制寄存器：用于控制引脚在的数字功能或通用 I/O 功能在多路复用器中的输出选择。
- 数据和控制寄存器：用于控制双向 I/O 引脚的数据和数据方向。

3.7.1 复用 I/O 引脚的描述

通用 I/O 引脚的控制结构如图 3-7-1 所示，其中每个引脚都有三个位来定义其操作：

- Mux 控制位：该位在引脚的主功能 (1) 和 I/O 功能 (0) 之间进行选择。
- I/O 方向位：如果引脚选择了 I/O 功能 (多路复用控制位设置为 0)，该位决定引脚是输入 (0) 还是输出 (1)。
- I/O 数据位：如果引脚选择了 I/O 功能 (多路复用控制位设置为 0)，并且所选方向为输

入，则从该位读取数据；如果选择的方向是输出，则将数据写入该位。

多路复用控制位，I/O 方向位和 I/O 数据位在 I/O 控制寄存器中。

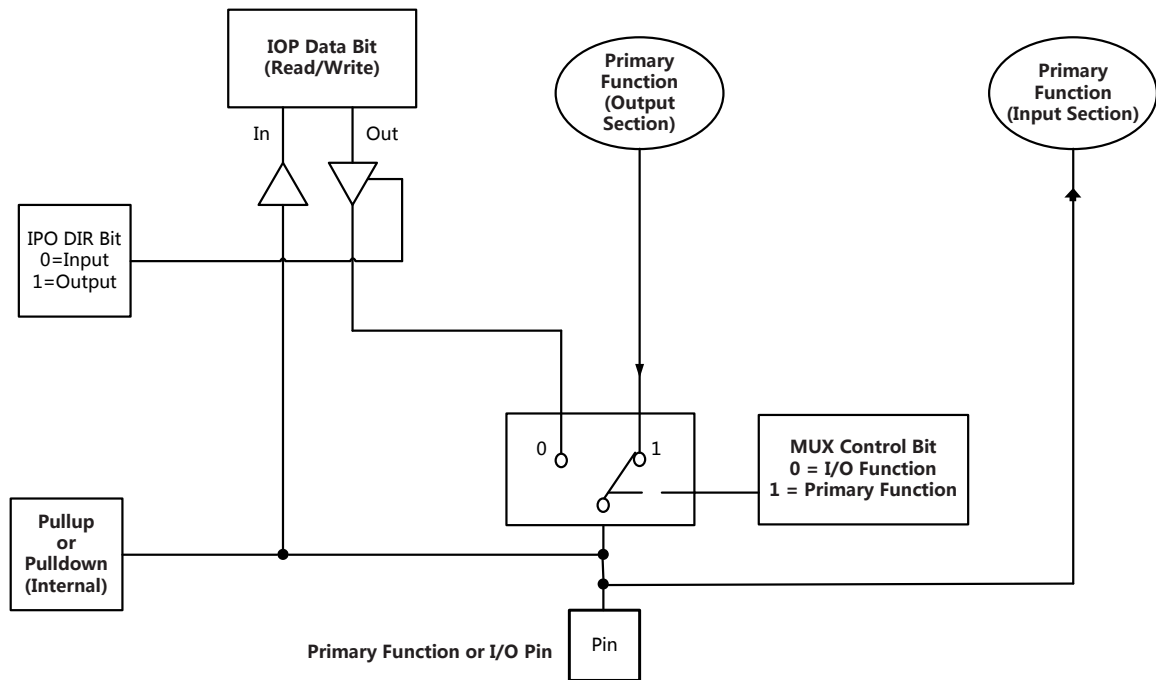


图 3-7-1 复用引脚配置

表 3-7-1 中显示了共享引脚配置和相关位的汇总

引脚功能选择		MUX 控制寄存器 (name.bit)	MUX 控制值复位 (MCRx.n)	I/O 端口数据和方向		
(MCRx.n = 1)(MCRX.N = 0)	I/O			寄存器	数据位编号	方向位编号
PORT A						
SCITXD	IOPA0	MCRA.0	0	PADATDIR	0	8
SCIRXD	IOPA1	MCRA.1	0	PADATDIR	1	9
XINT1	IOPA2	MCRA.2	0	PADATDIR	2	10
CAP1/QEP1	IOPA3	MCRA.3	0	PADATDIR	3	11
CAP2/QEP2	IOPA4	MCRA.4	0	PADATDIR	4	12
CAP3	IOPA5	MCRA.5	0	PADATDIR	5	13
PWM1	IOPA6	MCRA.6	0	PADATDIR	6	14
PWM2	IOPA7	MCRA.7	0	PADATDIR	7	15
PORT B						
PWM3	IOPB0	MCRA.8	0	PBDATDIR	0	8
PWM4	IOPB1	MCRA.9	0	PBDATDIR	1	9
PWM5	IOPB2	MCRA.10	0	PBDATDIR	2	10
PWM6	IOPB3	MCRA.11	0	PBDATDIR	3	11
T1PWM/T1CMP	IOPB4	MCRA.12	0	PBDATDIR	4	12
T2PWM/T2CMP	IOPB5	MCRA.13	0	PBDATDIR	5	13

TDIRA	IOPB6	MCRA.14	0	PBDATDIR	6	14
TCLKINA	IOPB7	MCRA.15	0	PBDATDIR	7	15
PORT C						
W/R	IOPC0	MCRB.0	1	PCDATDIR	0	8
BT0	IOPC1	MCRB.1	1	PCDATDIR	1	9
SPISIMO	IOPC2	MCRB.2	0	PCDATDIR	2	10
SPISOMI	IOPC3	MCRB.3	0	PCDATDIR	3	11
SPICLK	IOPC4	MCRB.4	0	PCDATDIR	4	12
SPISTE	IOPC5	MCRB.5	0	PCDATDIR	5	13
CANTX	IOPC6	MCRB.6	0	PCDATDIR	6	14
CANRX	IOPC7	MCRB.7	0	PCDATDIR	7	15
PORT D						
XINT2/ADCSOC	IOPD0	MCRB.8	0	PDDATDIR	0	8
EMU0	被保留	MCRB.9	1	PDDATDIR	1	9
EMU1	被保留	MCRB.10	1	PDDATDIR	2	10
TCK	被保留	MCRB.11	1	PDDATDIR	3	11
TDI	被保留	MCRB.12	1	PDDATDIR	4	12
TDO	被保留	MCRB.13	1	PDDATDIR	5	13
TMS	被保留	MCRB.14	1	PDDATDIR	6	14
TMS2	被保留	MCRB.15	1	PDDATDIR	7	15
PORT E						
CLKOUT	IOPE0	MCRC.0	1	PEDATDIR	0	8
PWM7	IOPE1	MCRC.1	0	PEDATDIR	1	9
PWM8	IOPE2	MCRC.2	0	PEDATDIR	2	10
PWM9	IOPE3	MCRC.3	0	PEDATDIR	3	11
PWM10	IOPE4	MCRC.4	0	PEDATDIR	4	12
PWM11	IOPE5	MCRC.5	0	PEDATDIR	5	13
PWM12	IOPE6	MCRC.6	0	PEDATDIR	6	14
CAP4/QEP3	IOPE7	MCRC.7	0	PEDATDIR	7	15
PORT F						
CAP5/QEP4	IOPF0	MCRC.8	0	PFDATDIR	0	8
CAP6	IOPF1	MCRC.9	0	PFDATDIR	1	9
T3PWM/T3CMP	IOPF2	MCRC.10	0	PFDATDIR	2	10
T4PWM/T4CMP	IOPF3	MCRC.11	0	PFDATDIR	3	11
TDIRB	IOPF4	MCRC.12	0	PFDATDIR	4	12
TCLKINB	IOPF5	MCRC.13	0	PFDATDIR	5	13
被保留	IOPF6	MCRC.14	—	—	—	
被保留	被保留	MCRC.15	—	—	—	

3.7.2 数字 I/O 控制寄存器

表 3-7-2 列出了数字 I/O 模块中可用的寄存器。这些寄存器都是内存映射到数据空间的。

表 3-7-2 数字 I/O 控制寄存器的地址

地址	寄存器	名称
7090h	MCRA	I/O 多路复用控制寄存器 A
7092h	MCRB	I/O 多路复用控制寄存器 B
7094h	MCRC	I/O 多路复用控制寄存器 C
7095h	PEDATDIR	I/O 端口 E 数据和方向寄存器
7096h	PFDATDIR	I/O 端口 F 数据和方向寄存器
7098h	PADATDIR	I/O 端口 A 数据和方向寄存器
709Ah	PBDATDIR	I/O 端口 B 数据和方向寄存器
709Ch	PCDATDIR	I/O 端口 C 数据和方向寄存器
709Eh	PDDATDIR	I/O 端口 D 数据和方向寄存器

3.8 看门狗 (WD) 的定时器模块

ADP16F0X 片内有看门狗 (WD) 定时器模块。如果设备没有定期通过软件写入正确的密钥来监视软件和硬件的操作，该模块的 WD 功能就会生成一个系统复位信号。WD 定时器独立于 CPU 工作，它不需要任何 CPU 初始化功能。当发生系统复位时，WD 定时器默认设置为最高速率 (WDCLK 信号 = CLKOUT / 512)。一旦内部解除复位，CPU 开始执行代码，WD 定时器开始递增。这意味着，为了避免过早复位，WD 设置应该在上电复位的早期进行。有关 WD 模块的框图，请参见图 3-8。WD 模块功能包括以下内容：

- WD 定时器
 - 7 种不同 WD 溢出速率
 - 一个 WD-Reset KEY (WDKEY) 寄存器，用于在正确的值被写入时清除 WD 计数器，并在寄存器写入错误值时产生系统复位
 - 如果 WD 控制寄存器 (WDCR) 写入不正确的值，WD 检测对应的控制位后将启动系统复位
- 一旦系统复位被解除，WD 计时器自动激活
 - 三个 WD 控制寄存器位于控制寄存器框架中，从地址 7020h 开始。

注：此模块中的所有寄存器都是 8 位寄存器，当一个寄存器被访问时，所述寄存器的数据在低字节，高位字节被读为零。写高位字节没有任何效果。

表 3-8 显示了不同的 WD 溢出(超时)选择。

当 SCCR2 寄存器 (SCSR2.5) 的第 5 位为 1 时, WDCR 寄存器 (WDCR.6) 的第 6 位写 “1” 可以禁止看门狗。如果 SCSR2.5 为 0, 看门狗将不会被禁用。SCSR2.5 相当于 ADP16 器件的 WDDIS 引脚。

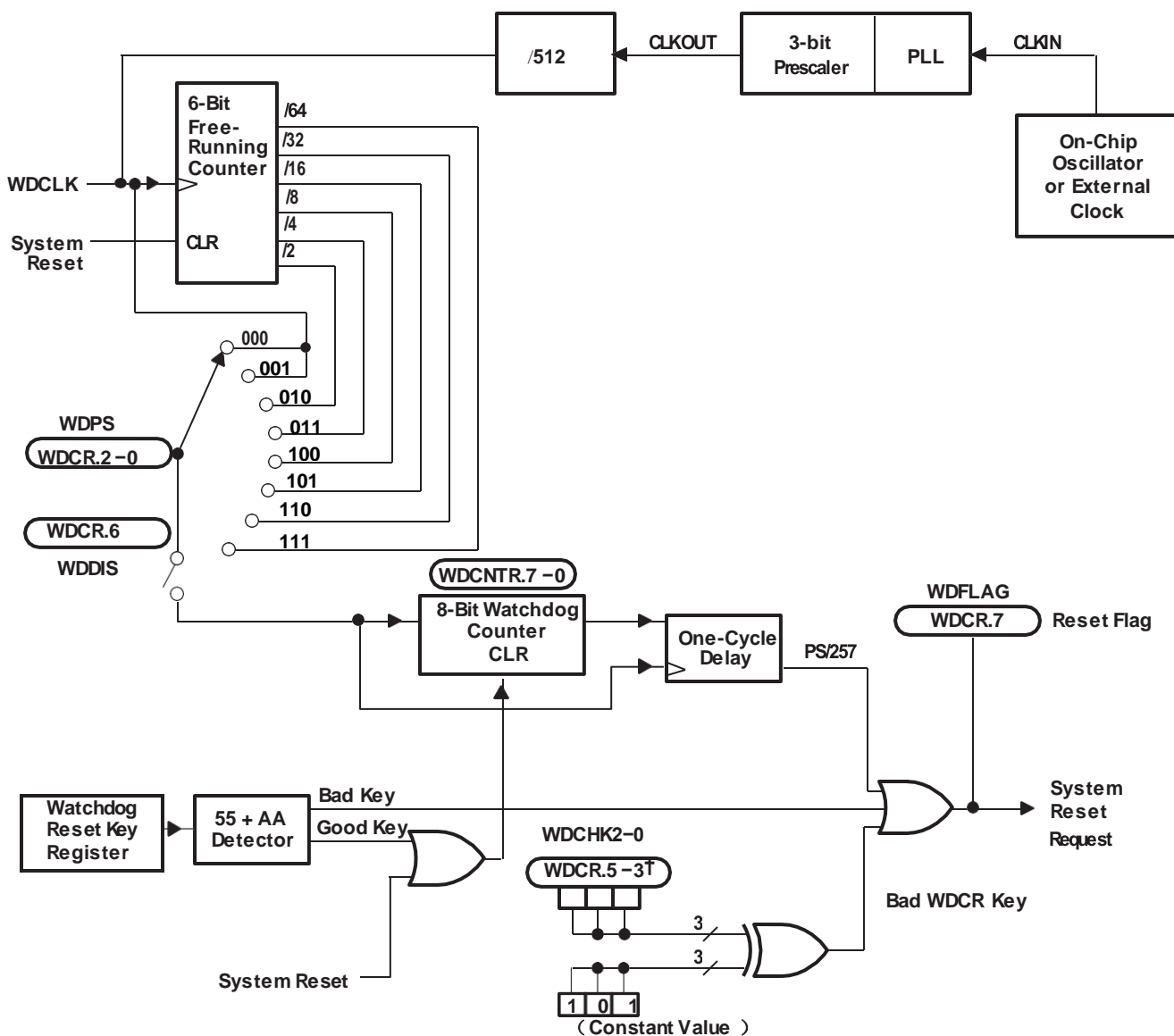


图 3-8 WD 模块的工作原理方框图

写入位 WDCR。除了正确的模式(101)以外, 其他任何东西都可以生成一个系统重置。

表 3-8. WD 溢出 (超时) 选择

WD 频选择 BITS			WDCLK 除法	看门狗 时钟速率†
WDPS2	WDPS1	WDPS0		频率 (Hz)
0	0	X‡	1	WDCLK / 1
0	1	0	2	WDCLK / 2
0	1	1	4	WDCLK / 4
1	0	0	8	WDCLK / 8
1	0	1	16	WDCLK / 16
1	1	0	32	WDCLK / 32
1	1	1	64	WDCLK / 64

4 开发支持

进芯电子为 ADP16F0X 提供的开发工具包括评估处理器性能，生成代码，开发算法以及完全集成调试软件和硬件模块的工具，下面的产品支持基于 ADP16F0X 应用的开发。

4.1 软件开发工具

汇编器/连接器

模拟器

优化 ANSIC 编译器

应用算法

C/汇编调试器和代码分析器

4.2 硬件开发支持:

仿真器 XDS510™ (支持 ADP16F0X 多处理器系统调试)

ADP16F0XEVM (用于 ADP16 DSP 的评估模块)

有关 ADP16F0X 的开发支持工具的完整列表，请参见表 4-2-1 和表 4-2-2

表 4-2-1 开发支持工具

开发工具	平台	零件号
软件 - 代码生成工具		
汇编器/连接器	pc, Windows xp/ Windows 7 32bit	
C 编译器/汇编器/链接器	pc, Windows xp/ Windows 7 32bit	
软件 - 仿真		
模拟器	SPARC, Open Windows	
软件 - 仿真调试工具		
CCStudio v3.3	PC, Windows xp/ Windows 7 32bit	
C 源码调试器 - WS	SPARC, SunOS	
硬件 - 仿真调试工具		
Advchip XDS510, 带 JTAG 接口	PC Windows xp/ Windows 7 32bit	

表 4-2-2 ADP16F0X 专用开发工具

开发工具	平台	零件号
硬件 - 评估/入门套件		
ADP16F0X EVM	PC Windows xp/ Windows 7 32bit	

ADP16F0X 评估模块 (EVM) 为电机和运动控制应用的设计人员提供了一个完整而经济的开发平台, 将设计从概念设计到生产。这些工具提供了一个硬件和软件开发环境, 主要包括:

- 基于闪存的 ADP16F0X 评估板
- 代码生成工具
- 汇编器/连接器
- C 编译器
- 源代码调试器
- Code Composer IDE
- 基于 JTAG 的仿真器
- 示例应用程序代码
- 文档和接口

4.3 文档支持

提供大量用于应用开发的技术文档，比如类似于本文档的带有设计规格的数据表；这些文档为所有设备和开发支持工具完整的用户指南；和硬件和软件应用程序。有用的参考文件包括：

- **用户指南**

- ADP16F0X DSP 控制器参考指南：系统和外设
- ADP16F0X DSP 控制器参考手册：系统和外设的手册更新表
- ADP16F0X DSP 控制器 CPU，系统和指令集参考指南

- **数据表**

- ADP16F0X 数据手册

- **应用报告**

- 用于数字电机控制的 3.3V DSP

5 电气规范

5.1 绝对最大额定值

在工作自由空气温度范围内的绝对最大额定值

端口电压范围, V_{DDIO} 和 V_{CCA}, V_{DDA2}	-0.3 至 4.6V
内核电压范围, V_{DD}	-0.3 至 2.8V
输入电压范围, V_{IN}	-0.3 至 4.6V
输出电压范围, V_O	-0.3 至 4.6V
输入钳位电流, I_{IK} ($V_{IN} < 0$ 或 $V_{IN} > V_{CC}$)	± 20 mA
输出钳位电流, I_{OK} ($V_O < 0$ 或 $V_O > V_{CC}$)	± 20 mA
运行温度范围.....	-40°C to 85°C
结温范围, T_J	-40°C 至 150°C
贮存温度范围, T_{stg}	-65°C 至 150°C

5.2 建议的运行条件^①

		最小值	标称值	最大值	单位		
V _{DDIO}	电源电压, I/O	3	3.3	3.6	V		
V _{DD}	电源电压, CPU	1.5	1.8	2.5	V		
VSS	电源接地	0	0	0	V		
V _{CCA} , V _{DDA2} ^②	ADC 电源电压	3	3.3	3.6	V		
f _{CLKOUT}	设备时钟频率 (系统时钟)	1		50	MHz		
V _{IH} ^③	高电平输入电压	所有输入			2.4	V	
V _{IL}	低电平输入电压	所有输入			0.8	V	
I _{OH}	高电平输出源电流, V _{OH} = 2.4 V	输出引脚组 1 ^④			-4	mA	
		输出引脚组 2 ^④			-4		
		输出引脚组 3 ^④			-8		
I _{OL}	低电平输出灌电流, V _{OL} = V _{OL Max}	输出引脚组 1 ^④			4	mA	
		输出引脚组 2 ^④			4		
		输出引脚组 3 ^④			8		
T _A	大气温度	A 版本			-40	85	°C
		S 版本			-40		
T _J	贮存温度	-40	25	150	°C		
N _f	阵列的闪存耐久性 (写/擦除周期)	-40°C至 85°C		100	1K	周期	

①EM1 PWM 引脚和 EM2 PWM 引脚的驱动强度并不相同。

②VCCA 不应超过 VDDO 的 0.3V。

③ADP16 中使用的输入缓冲器不兼容 5V。

④主要信号及其分组：

组 1：PWM1-PWM6, T1PWM, T2PWM, CAP1-CAP6, TCLKINA, RS, IOPF6, IOPC1, TCK, TDI, TMS, XF

组 2：W/ \bar{R} , T3PWM, T4PWM, PWM7-PWM12, CANTX, CANRX, SPICLK, SPISOMI, SPISIMO, SPISTE, EMU0, EMU1, TDO, TMS2

组 3：TDIRA, TDIRB, SCIRXD, SCITXD, XINT1, XINT2, CLKOUT, TCLKINB

5.3 建议运行温度范围内的电气特性

参数		测试条件	最小值	标称值	最大值	单位
V _{OH} 高电平输出电压	V _{DDIO} =3.0V, I _{OH} =I _{OH Max}		2.4			V
	所有输出为 50μA		V _{DDO} -0.2			
V _{OL} 低电平输出电压		I _{OL} =I _{OLMax}	0.4			V
I _{IL} 输入电流 (低电平)	带上拉电阻器	V _{DDIO} = 3.3 V, V _{IN} = 0 V	-9	-16	-25	μA
	带下拉电阻器		±2			
I _{IH} 输入电流 (高电平)	带上拉电阻器	V _{DDIO} = 3.3 V, V _{IN} = V _{DD}	±2			μA
	带下拉电阻器		9	16	25	
I _{OZ} 输出电流, 高阻抗状态 (关闭状态)		V _O = V _{DD} or 0 V	±2			μA
C _I 输入电容			2			pF
C _O 输出电容			3			pF

5.4 流耗

在 50MHz CLOCKOUT 上的建议运行温度范围内电源引脚的流耗

参数	测试条件	最小值	标称值	最大值	单位
I _{DD} ^① 工作电流	所有外设的时钟使能。CPU_CLK=50MHz, CPU 正在运行一个简单的循环代码, 但 I/O 引脚没有高低转换		45	65	mA
I _{CCA} ^② ADC 模块电流			30	35	mA

①I_{DD} 包括 V_{DD} 和 V_{DDO} 引脚的电流。

②I_{CCA} 包括 V_{CCA} 和 V_{DDA2} 引脚的电流。

在 50MHz CLOCKOUT 上的低功耗模式期间建议运行温度范围内电源引脚的流耗

参数	模式	测试条件	最小值	标称值	最大值	单位
I _{DD} ^① 工作电流	LMP0	所有外设的时钟使能。 但 I/O 引脚没有高低转换		30	50	mA
I _{CCA} ADC 模块电流				30	35	mA
I _{DD} ^① 工作电流	LMP1	所有外设的时钟使能。 但 I/O 引脚没有高低转换		15	30	mA
I _{CCA} ADC 模块电流				0	0	mA
I _{DD} ^① 工作电流	LMP2	所有外设的时钟被禁用		10	15	mA
I _{CCA} ADC 模块电流				0	0	mA

①I_{DD} 是流入 V_{DD} 和 V_{DDO} 引脚的电流。

②I_{CCA} 包括 V_{CCA} 和 V_{DDA2} 引脚的电流。

5.5 流耗图

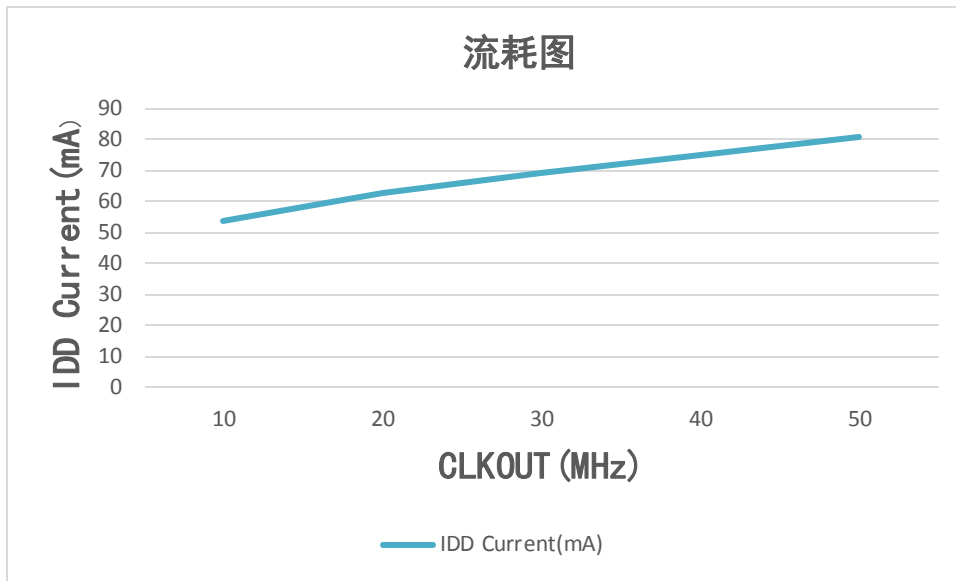


图 5-5.ADP16F0X 在频率范围内的典型电流消耗（使能外设时钟）

5.6 减少流耗

ADP16F0X DSP采用了一种独特的方法来减少器件的电流消耗。通过关闭指定不使用的**外设模块的时钟可减少流耗。表5-6指明了通过关闭不同外设的时钟所实现的流耗减少的典型值。

表5-6.不同外设的典型消耗

外设模块	电流减小 (mA)
CAN	9
EM1	6
EM2	6
ADC	8 ^①
SCI	2
SPI	2

①这个数字代表了 ADC 模块数字部分所汲取的电流。关闭 ADC 模块的时钟也将消除 ADC 的模拟部分 (I_{CCA}) 汲取的电流。

5.7 测量参数信息

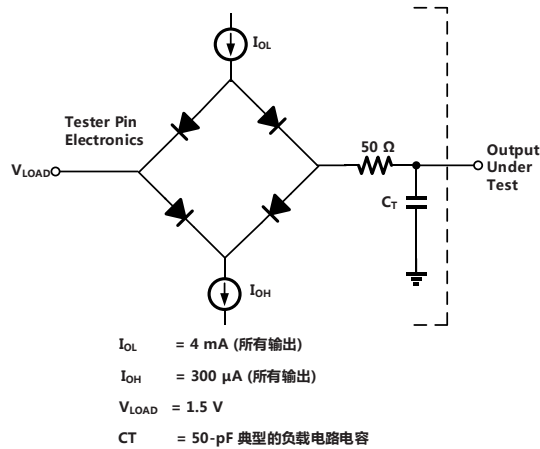


图 5-7. 测试负载电路

5.8 信号转换电平

请注意一些信号使用不同的参考电压，请参阅推荐的工作条件表。输出电平被驱动至 2.4 V 的最小逻辑高电平和 0.8 V 的最大逻辑低电平。图 5-8 显示了输出电平

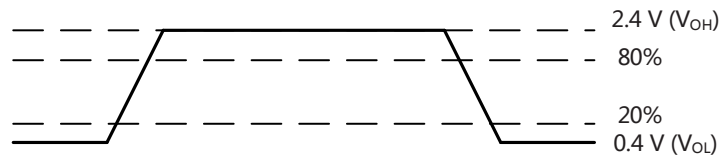


图 5-8-1. 输出电平

输出转换时间指定如下：

- 对于一个从高电平到低电平的转换，输出不再被认为是高电平的电平为低于 V_{OH} (最小值) 的 80%，而输出不再被认为是低电平的电平为 V_{OL} (最大值) 的 20% 且更低。

- 对于一个从低电平到高电平的转换，输出不再被认为是低电平的电平为高于 V_{OL} (最大值) 的 20%，而输出不再被认为是高电平的电平为 V_{OH} (最小值) 的 80% 且更高。

图 5-8-2 显示了输入电平

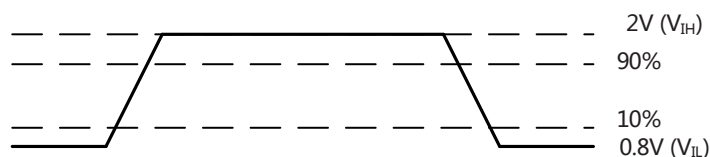


图 5-8-2. 输入电平

输入转换时间指定如下：

- 对于一个从高电平到低电平的转换，输入不再被认为是高电平的电平为低于 V_{IH} (最小值) 的 90%，而输入不再被认为低电平的电平为 V_{IL} (最大值) 的 10% 且更低。
- 对于一个从低电平到高电平的转换，输入不再被认为是低电平的电平为高于 V_{IL} (最大值) 的 10%，而输入不再被认为高电平的电平为 V_{IH} (最小值) 的 90% 且更高。

5.9 时序参数符号

所用的时序参数符号根据 JEDEC 标准 100 创建。为了缩短符号，一些引脚名称和其他术语缩写如下：

CI	X1/CLKIN	CO	CLKOUT
INT	XINT1, XINT2	RS	复位引脚 RS

小写下标和它们的含意：

a	访问时间
c	周期时间 (周期)
d	延迟时间
f	下降时间
h	保持时间
r	上升时间
su	建立时间
t	转换时间
v	有效时间
w	脉冲持续时间 (宽度)

字母和符号和它们的含意：

H	高
L	低
V	有效
X	未知、变、或者无关电平
Z	高阻抗

5.10 定时参数的通用注释

所有ADP16F0X器件的输出信号（包括CLKOUT）取自一个内部时钟，这样，对于一个指定半周期的所有输出转换在一个互相之间相对最小转换率时发生。这个显示在下面时序图中的信号组合也许不一定代表真实的周期。对于真实周期范例，请参见本文档的合适周期说明部分。

5.11 用于 PLL 电路启用的外部参考晶振/时钟

PLL 电路启用时序

参数		最小值	最大值	单位
f _x	输入时钟频率 ^①			MHz
	谐振器	5	30	
	晶振	5	30	
	CLKIN	1	50	

①可以调整输入频率（SCSR1寄存器中的CLK PS位），使CLKOUT = 最大值50 MHz，最小值1 MHz。

CLKOUT 开关特性在推荐运行条件下 [H = 0.5 t_{c(CO)}] (见图 5-11)

参数	PLL模式	最小值	标称值	最大值	单位
t _{c(CO)} 周期时间，CLKOUT	×4模式 ^①	33			ns
t _{f(CO)} 下降时间，CLKOUT			4		ns
t _{r(CO)} 上升时间，CLKOUT			4		ns
t _{w(COL)} 脉冲持续时间，CLKOUT低电平		H-3	H	H+3	ns
t _{w(COH)} 脉冲持续时间，CLKOUT高电平		H-3	H	H+3	ns
t _t 转换时间，PLL在RS引脚为高电平后同步				4096t _{c(CI)}	ns

①可以调整输入频率（SCSR1寄存器中的CLK PS位），使CLKOUT = 最大值50MHz，最小值1 MHz

X1/CLKIN 时序需求 (见图 5-11)

	最小值	最大值	单位
t _{c(CI)} 周期时间，X1/CLKIN		250	ns
t _{f(CI)} 下降时间，X1/CLKIN		5	ns
t _{r(CI)} 上升时间，X1/CLKIN		5	ns
t _{w(CIL)} 脉冲持续时间，X1/XCLKIN 低电平作为t _{c(CI)} 的一部分的时间	40	60	%
t _{w(CIH)} 脉冲持续时间，X1/XCLKIN 高电平作为t _{c(CI)} 的一部分的时间	40	60	%

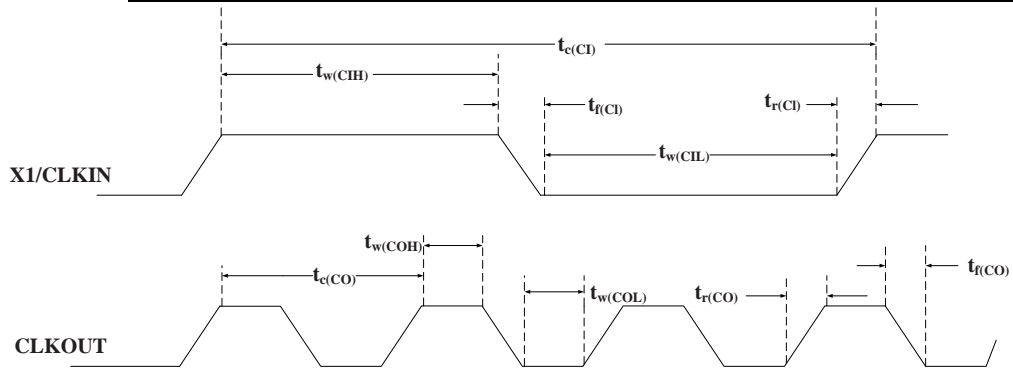


图5-11.在×4模式下通过PLL和外部时钟实现CLKIN至CLKOUT时序

5.12 复位时序

复位的时序要求[$H = 0.5t_{c(co)}$] (见图 5-12-1 和图 5-12-2)

	最小值	标称值	最大值	单位
$t_{w(RSL)}$ 脉冲持续时间, 稳定的 CLKIN 到 RS 高电平的时间	$8t_{c(CI)}$			周期
$t_{w(RSL2)}$ 脉冲持续时间, RS 低电平	$8t_{c(CI)}$			周期
t_p PLL 锁定时间			$4096t_{c(CI)}$	周期
$t_{d(EX)}$ 延迟时间, PLL 锁定时间后执行复位向量的时间		36H		ns

如果使用片上振荡器, 则X1指的是内部振荡器时钟

t_{OSCST} 是振荡器启动时间, 它依赖于晶体/谐振器和电路板设计

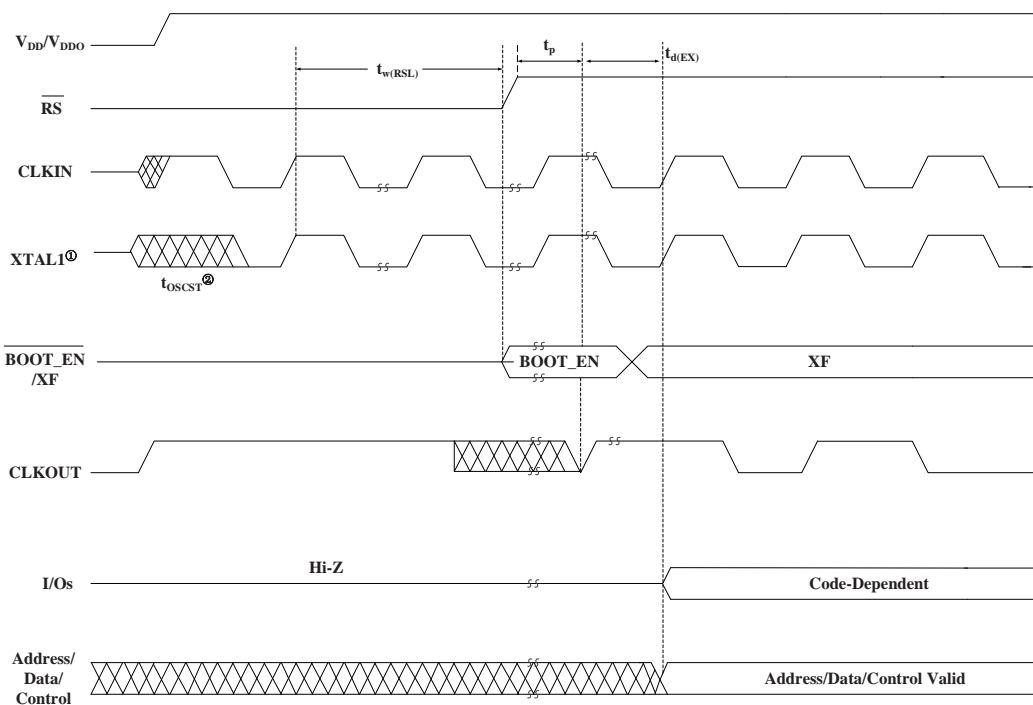
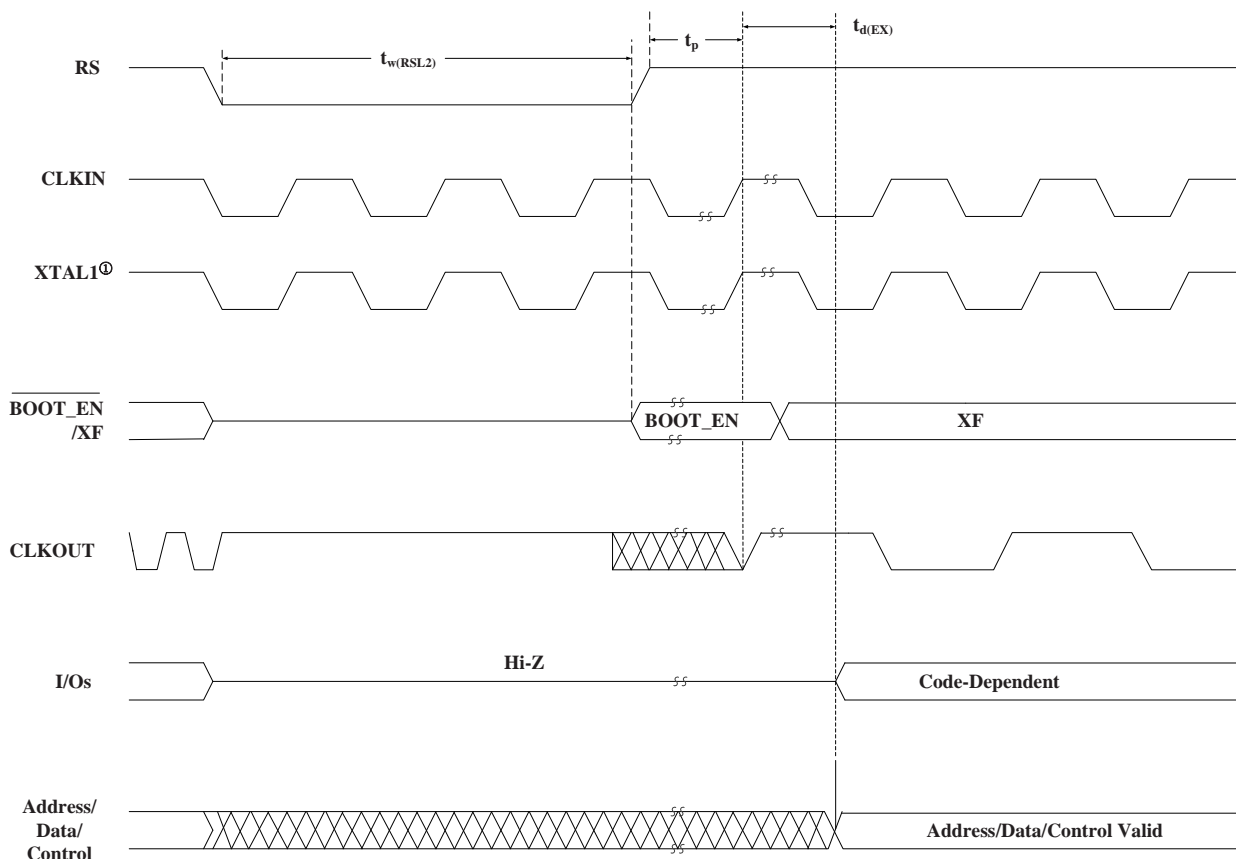


图 5-12-1.上电复位



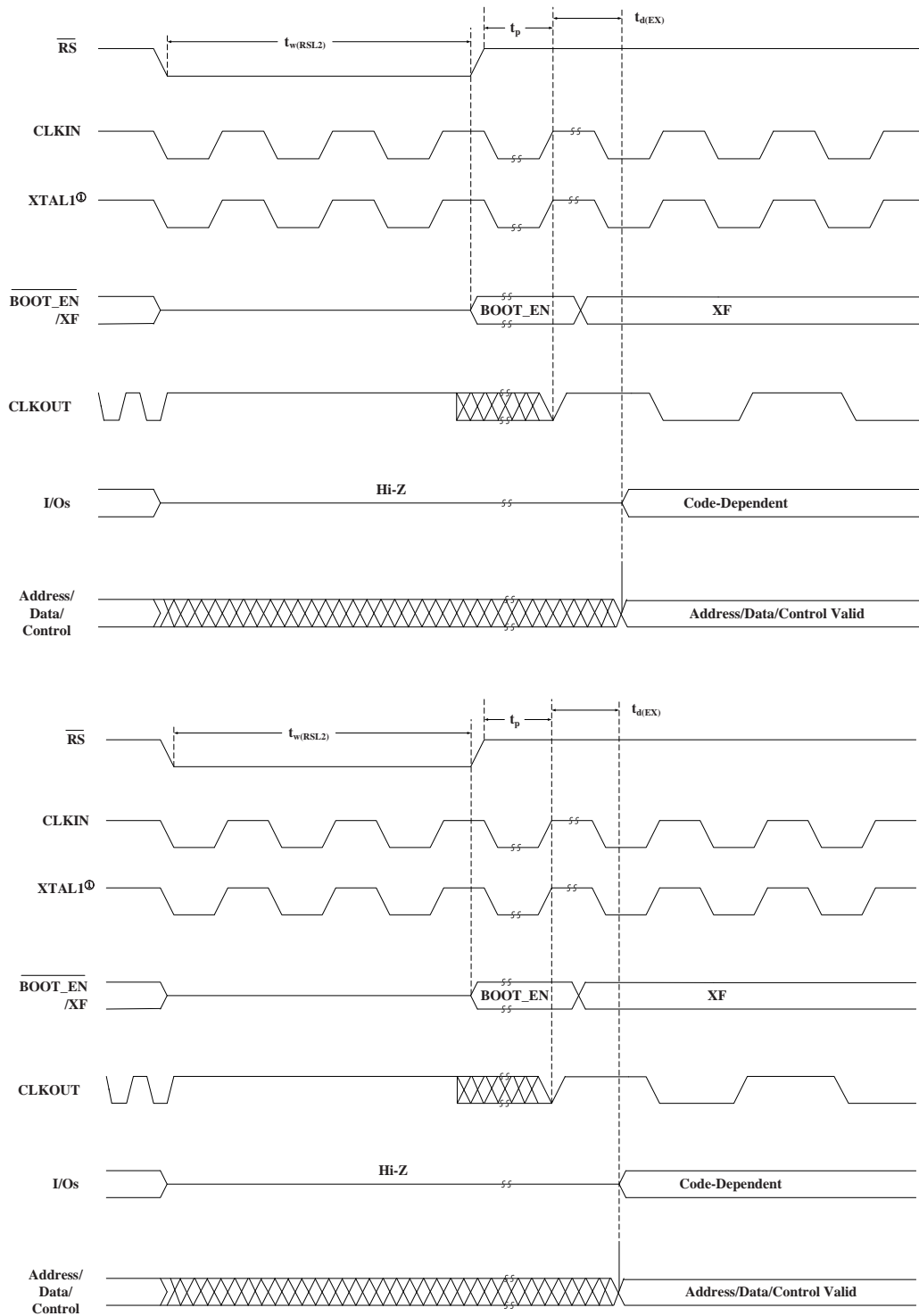
如果使用片上振荡器，则 X1 指的是内部振荡器时钟

图 5-12-2.热复位

开关特性在推荐的复位操作条件 [$H = 0.5t_c (CO)$] (见图 5-12-3)

参数	最小值	最大值	单位
$t_{w(RSL1)}$ 脉冲持续时间, RS 低电平 ^①	$128t_{c(CL)}$		ns
$t_{d(EX)}$ 延迟时间, PLL 锁定时间后执行复位向量的时间	36H		ns
t_p PLL 锁定时间 (输入周期)		$4096t_{c(CL)}$	ns

参数 $t_{w(RSL1)}$ 是指 RS 输出的时间



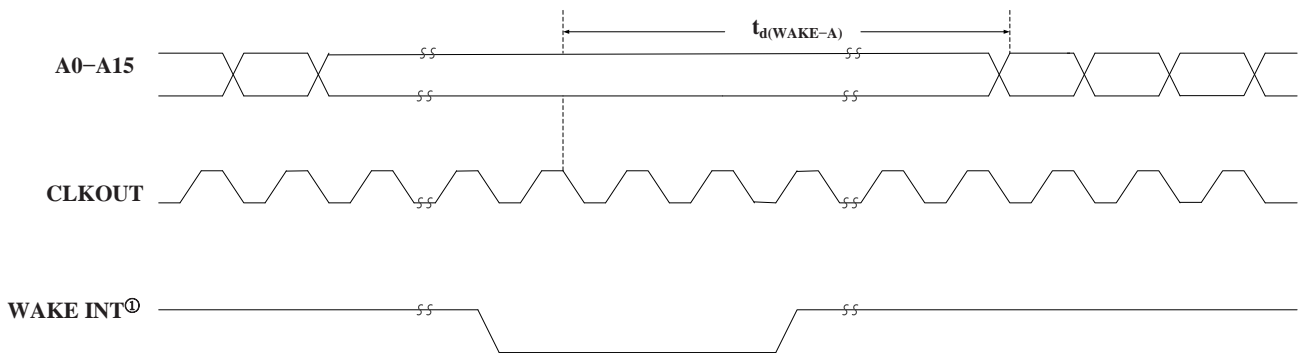
如果使用片上振荡器，则 X1 指的是内部振荡器时钟

图 5-12-3.看门狗启动复位

5.13 低功耗模式时序

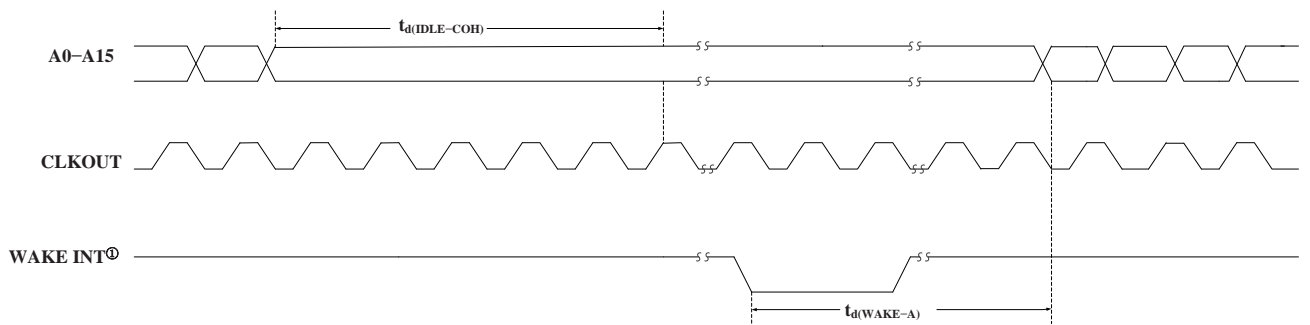
IDLE 模式开关特性在推荐运行条件下 [$H = 0.5t_{c(CO)}$] (见图 5-13-1, 图 5-13-2 和图 5-13-3)

参数	低功耗模式		最小值	标称值	最大值	单位
	IDLE1	LPM0				
$t_{d(WAKE-A)}$ 延时时间, CLKOUT 切换到程序执行恢复时间	IDLE1	LPM0			$12 \times t_{c(CO)}$	ns
	IDLE2	LPM1			$15 \times t_{c(CO)}$	
$t_{d(IDLE-COH)}$ 延迟时间, 空闲指令执行到 CLKOUT 高电平时间	IDLE2	LPM1			$4 \times t_{c(CO)}$	ns
$t_{d(WAKE-OSC)}$ 延迟时间, 唤醒中断声明振荡器运行	HALT {PLL/OSC 断电}	LPM2			OSC 启动 和 PLL 锁定时间	ms
			$t_{d(IDLE-OSC)}$ 延迟时间, 空闲指令执行振荡器关闭			$4t_{c(CO)}$
$t_{d(EX)}$ 延迟时间, 复位向量在 RS 高电平后执行			36H			ns



WAKE INT 可以是任何有效的中断或 RESET

图 5-13-1.IDLE1 进入和退出时序-LPM0



①WAKE INT 可以是任何有效的中断或 RESET

图 5-13-2.IDLE2 进入和退出时序 - LPM1

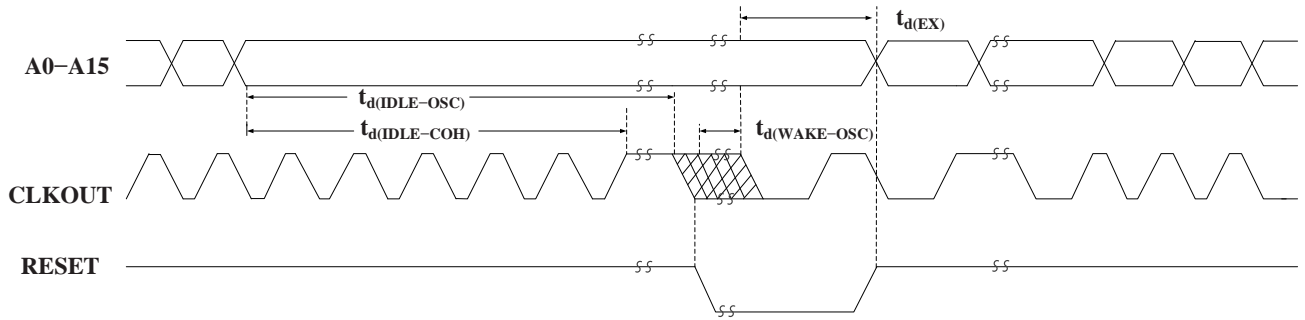


图 5-13-3.HALT 模式-LPM2

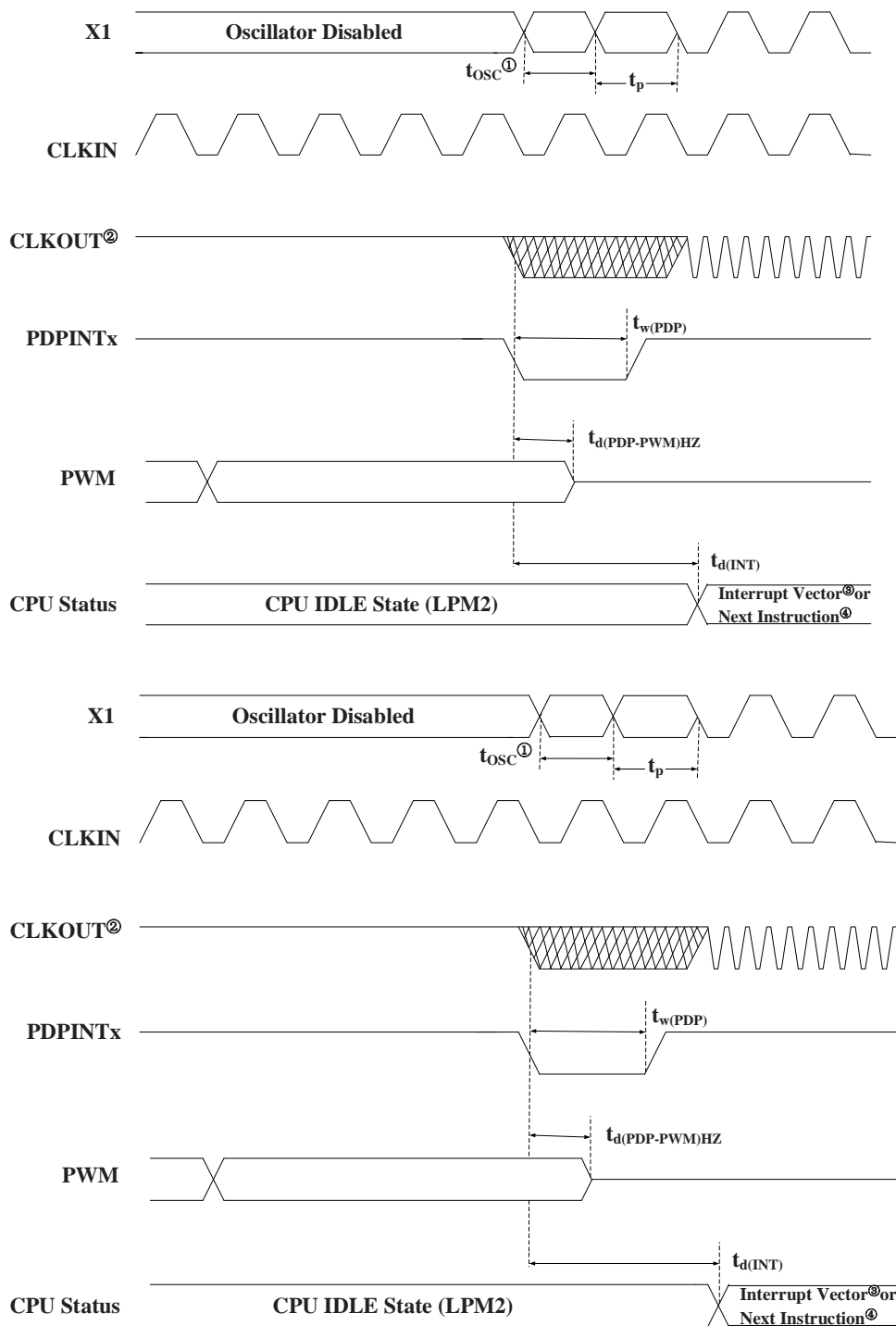
5.14 LPM2 唤醒定时

HALT 模式开关特性在推荐运行条件下 (见图 5-14)

参数	最小值	最大值	单位
$t_{d(PDP-PWM)HZ}$ 延迟时间, PDAINT _x 低电平至 PWM 高阻状态的时间		12	ns
$t_{d(INT)}$ 延迟时间, INT 低电平/高电平到中断向量取指时间	$10t_{c(CO)}$		ns

HALT 模式时序要求[$H = 0.5t_{c(CO)}$] (见图 5-14)

	最小值	标称值	最大值	单位
$t_{w(INT)}$ 脉冲持续时间, INT 输入低电平/高电平		$2H+15$		ns
$t_{w(PDP)}$ 脉冲持续时间, PDAINT _x 输入低电平		$4H+5$		ns
t_p PLL 锁定时间			$4096t_{c(CL)}$	周期



② t_{osc} 是振荡器启动时间

② LPM2 唤醒后的 CLKOUT 频率将与进入 LPM2 时的频率（例如 x4 所示）相同。

③ 如果 PDPINTx 中断使能，PDPINTx 中断向量

③ 如果 PDPINTx 中断被禁用

图 5-14.LPM2 使用 PDPINTx 唤醒

5.15 XF 和 $\overline{\text{BIO}}$ 时序

开关特性在推荐运行条件下（见图 5-15）

参数	最小值	最大值	单位
$t_{d(XF)}$ 延迟时间，CLKOUT 高电平到 XF 高电平/低电平	-3	-7	ns

时序要求（见图 5-15）

	最小值	最大值	单位
$t_{su(BIO)CO}$ 建立时间，在 CLKOUT 为低电平之前， $\overline{\text{BIO}}$ 为低电平的时间	0		ns
$t_{h(BIO)CO}$ 保持时间，在 CLKOUT 为低电平之后， $\overline{\text{BIO}}$ 为低电平的时间	19		ns

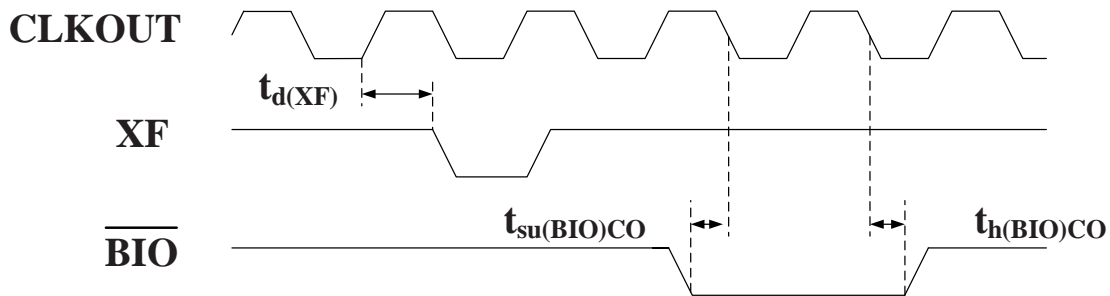


图 5-14.PWM 输出时序

图 5-15.XF 和 $\overline{\text{BIO}}$ 时序

5.16 时序事件管理

5.16.1 PWM 时序

PWM 是指 EM1 和 EM2 上的所有 PWM 输出。

PWM 时序的开关特性[$H = 0.5t_{c(CO)}$]（见图 5-16-1a）

参数	最小值	最大值	单位
$t_{w(PWM)}^{①}$ 脉冲持续时间，PWMx 输出高电平/低电平时间	$2H+5$		ns
$t_{d(PWM)CO}$ 延迟时间，CLKOUT 低电平到 PWMx 输出开关时间		15	ns

① PWM 输出相对于 PWM 周期可以是 100%，0%或者 $t_{c(CO)}$ 的增量

时序要求[H = 0.5t_{c(CO)}]^② (见图 5-16-1b)

	最小值	最大值	单位
t _{w(TMRDIR)} 脉冲持续时间, TMRDIR 低电平/高电平时间	4H+5		ns
t _{w(TMRCLK)} 脉冲持续时间, TMRCLK 低于 TMRCLK 周期时间的百分比	40	60	%
t _{wh(TMRCLK)} TMRCLK 为 TMRCLK 周期时间的百分比	40	60	%
t _{c(TMRCLK)} 周期时间, TMRCLK	4 × t _{c(CO)}		ns

②参数 TMRDIR 等于引脚 TDIRx, 参数 TMRCLK 等于引脚 TCLKINx

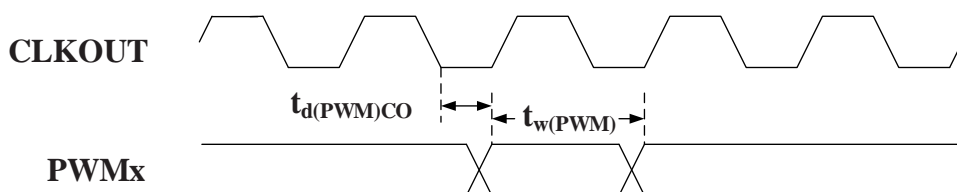
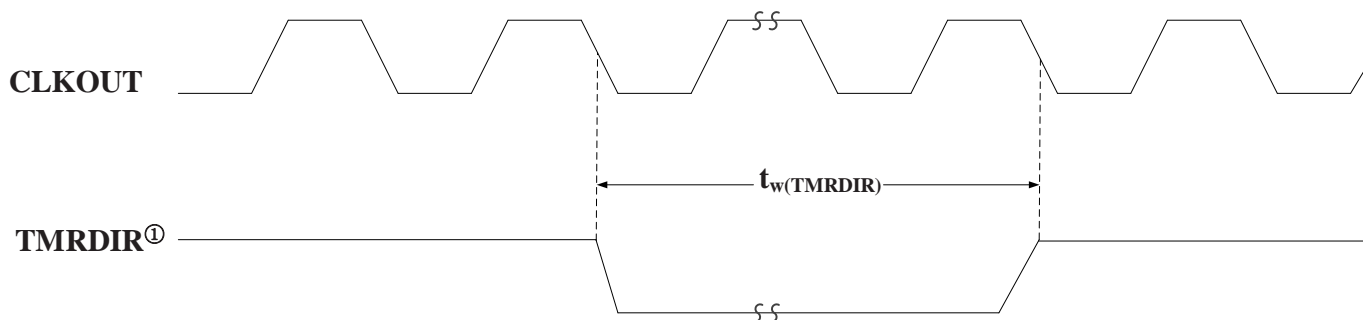


图 5-16-1a.PWM 输出时序



① 参数 TMRDIR 等于引脚 TDIRx

图 5-16-1b.TMRDIR 时序

5.16.2 捕捉单元和 QEP 时序

CAP 指的是 QEP 和捕捉的所有输入引脚。

时序要求 ($H = 0.5t_{c(CO)}$) (见图 5-16-2)

		最小值	最大值	单位
$t_{w(CAP)}$	脉冲持续时间, CAPx 输入低电平/高电平时间	$4H + 15$		ns

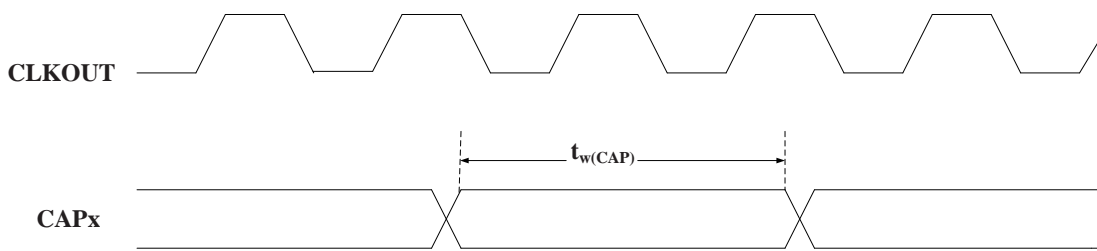


图 5-16-2.捕捉单元输入和 QEP 时序

5.16.3 中断时序

INT 指的是 XINT1 和 XINT2。PDP 是指 PDPINT_x。

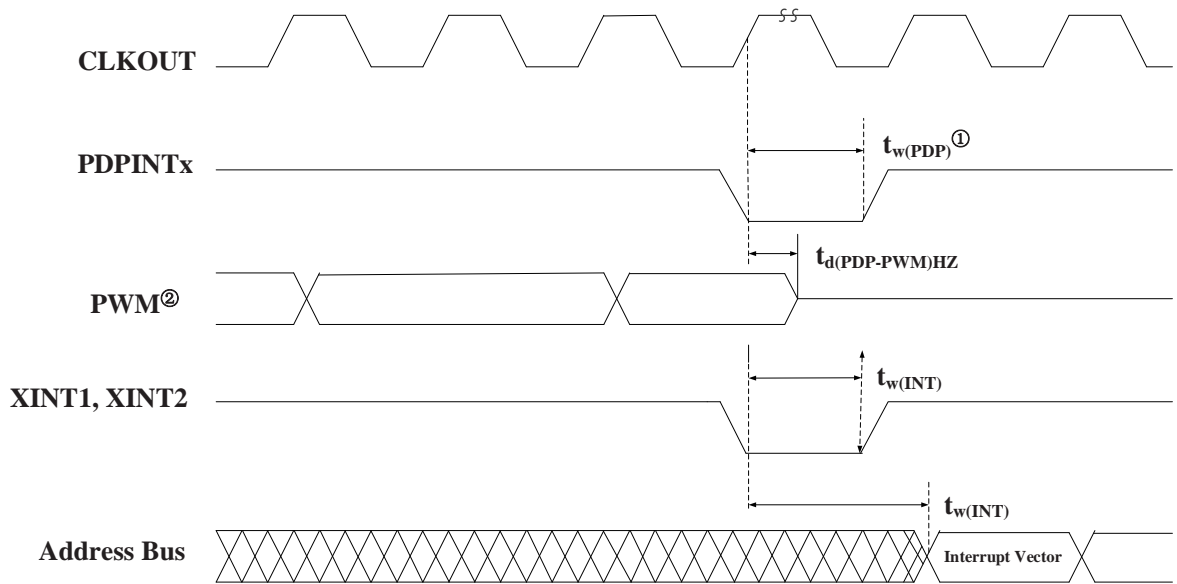
开关特性在推荐运行条件下 (见图 5-16-3)

参数	最小值	最大值	单位
$t_{d(PDP-PWM)HZ}$ 延迟时间, PDPINT _x 低电平至 PWM 高阻状态时间		12	ns
$t_{d(INT)}$ 延迟时间, INT 低电平/高电平到中断向量取指时间	$10t_{c(CO)}$		ns

时序要求 [$H = 0.5t_{c(CO)}$] (见图 5-16-3)

	最小值	标称值	最大值	单位
$t_{w(INT)}$ 脉冲持续时间, INT 输入低电平/高电平时间		$2H + 15$		ns
$t_{w(PDP)}^{①}$ 脉冲持续时间, PDPINT _x 输入低电平时间		$4H + 5$		ns

①为了保持 ADP16 和其他未来器件的兼容性,建议在至少 7 或 13 个 CLKOUT 周期内将 PDPINT_x 驱动为低电平。



①为了保持与 ADP16 和其他未来器件的兼容性，建议在至少 7 或 13 个 CLKOUT 周期内将 PDPINTx 驱动为低电平

②PWM 是指器件中的所有 PWM 引脚（即 PWMn 和 TnPWM 引脚）。PDPINTx 之后的 PWM 引脚状态为高电平取决于 FCOMPOE 位的状态。

图 5-16-3.外部中断时序

5.17 通用输入/输出时序

开关特性在推荐运行条件下（见图 5-17a）

参数		最小值	最大值	单位
$t_{d(GPO)CO}$	延迟时间，CLKOUT 低电平到 GPIO 低电平/高电平的时间		9	ns
$t_{r(GPO)}$	上升时间，GPIO 从低电平切换到高电平的时间		8	ns
$t_{f(GPO)}$	下降时间，GPIO 从高电平切换到低电平的时间		6	ns

时序要求[H = 0.5t_{c(CO)}]（见图 5-17b）

	最小值	最大值	单位
$t_w(GPI)$	2H+15		ns

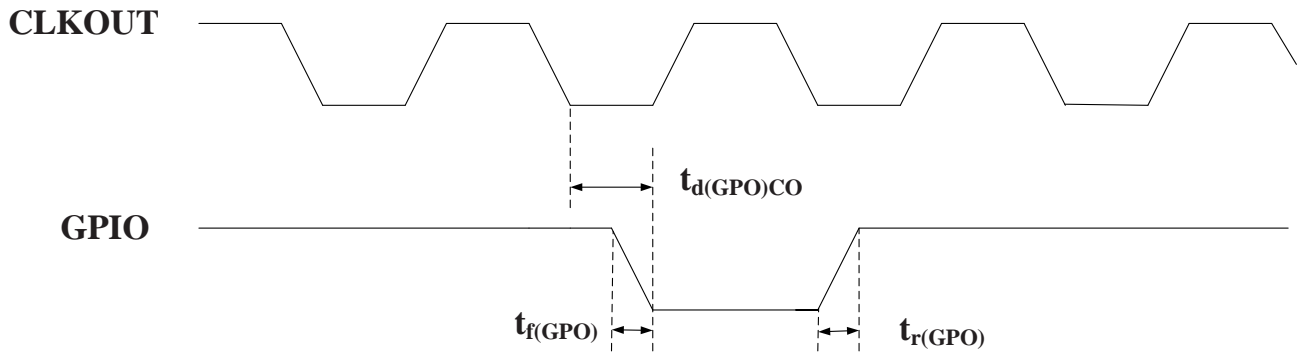


图 5-17a.通用输出时序

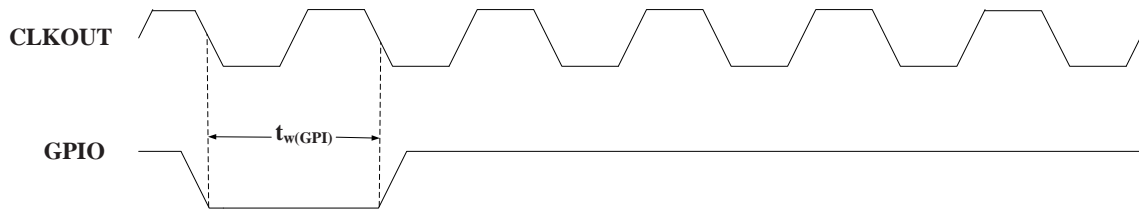


图 5-17b.通用输入时序

5.18 SPI 主模式时序参数

表 5-18a 和表 5-18b 列出了 SPI 主控模式时序。

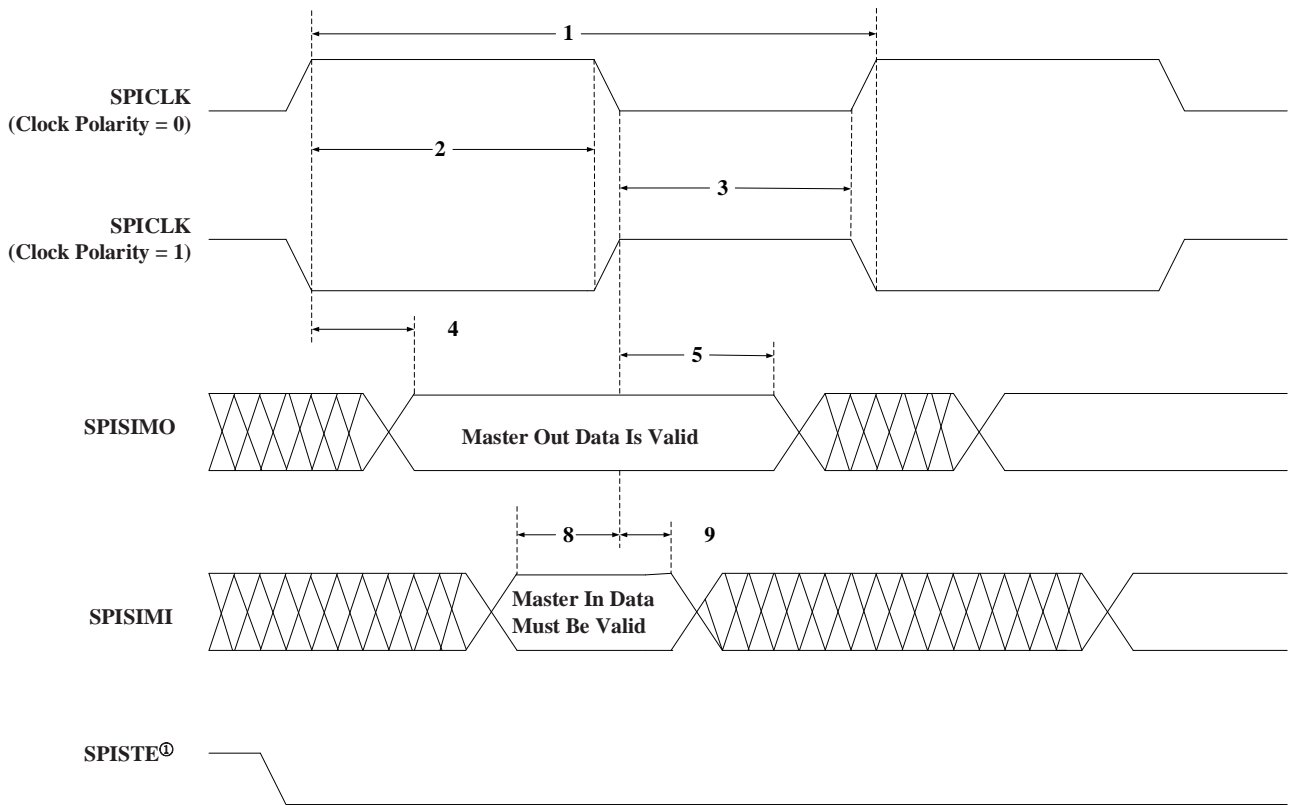
表 5-18a.SPI 主模式外部时序 (时钟相位= 0) ①② (见图 5-18a)

编号		当(SPIBRR+1) 为偶数或者 SPIBRR=0 或者 2 时的 SPI		当(SPIBRR+1) 为奇数并且 SPIBRR>3 时的 SPI		单位
		最小值	最大值	最小值	最大值	
1	$t_{c(SPCM)}$ 周期时间, SPICLK	$4t_{c(CO)}$	$128t_{c(CO)}$	$5t_{c(LCO)}$	$127t_{c(LCO)}$	ns
2 ^③	$t_{w(SPCH)M}$ 脉冲持续时间, SPICLK 高电平的时间 (时钟极性= 0)	$0.5t_{c(SPCM)} - 10$	$0.5t_{c(SPCM)}$	$0.5t_{c(SPCM)} - 0.5t_{c(LCO)} - 10$	$0.5t_{c(SPCM)} - 0.5t_{c(LCO)}$	ns
	$t_{w(SPCL)M}$ 脉冲持续时间, SPICLK 低电平的时间 (时钟极性= 1)	$0.5t_{c(SPCM)} - 10$	$0.5t_{c(SPCM)}$	$0.5t_{c(SPCM)} - 0.5t_{c(LCO)} - 10$	$0.5t_{c(SPCM)} - 0.5t_{c(LCO)}$	
3 ^③	$t_{w(SPCL)M}$ 脉冲持续时间, SPICLK 低电平的时间 (时钟极性= 0)	$0.5t_{c(SPCM)} - 10$	$0.5t_{c(SPCM)}$	$0.5t_{c(SPCM)} + 0.5t_{c(LCO)} - 10$	$0.5t_{c(SPCM)} + 0.5t_{c(LCO)}$	ns
	$t_{w(SPCH)M}$ 脉冲持续时间, SPICLK 高电平的时间 (时钟极性= 1)	$0.5t_{c(SPCM)} - 10$	$0.5t_{c(SPCM)}$	$0.5t_{c(SPCM)} + 0.5t_{c(LCO)} - 10$	$0.5t_{c(SPCM)} + 0.5t_{c(LCO)}$	
4 ^③	$t_{d(SPCH-SIMO)M}$ 延迟时间, SPICLK 高电平至SPISIMO 有效的时间 (时钟极性=0)	-10	10	-10	10	ns
	$t_{d(SPCL-SIMO)M}$ 延迟时间, SPICLK 低电平至SPISIMO 有效的时间 (时钟极性=1)	-10	10	-10	10	
5 ^③	$t_{v(SPCL-SIMO)M}$ 有效时间, SPICLK 低电平后, SPISIMO 数据有效的时间 (时钟极性= 0)	$0.5t_{c(SPCM)} - 10$		$0.5t_{c(SPCM)} + 0.5t_{c(LCO)} - 10$		ns
	$t_{v(SPCH-SIMO)M}$ 有效时间, SPICLK 高电平之后, SPISIMO 数据有效的时间 (时钟极性= 1)	$0.5t_{c(SPCM)} - 10$		$0.5t_{c(SPCM)} + 0.5t_{c(LCO)} - 10$		
8 ^③	$t_{su(SOMI-SPCL)M}$ 建立时间, SPISOMI 在 SPICLK 低电平之前的时间 (时钟极性= 0)	0		0		ns
	$t_{su(SOMI-SPCH)M}$ 建立时间, SPISOMI 在 SPICLK 高电平之前的时间 (时钟极性= 1)	0		0		
9 ^③	$t_{v(SPCL-SOMI)M}$ 有效时间, SPICLK 低电平之后SPISOMI 数据有效的时间 (时钟极性= 0)	$0.25t_{c(SPCM)} - 10$		$0.5t_{c(SPCM)} - 0.5t_{c(LCO)} - 10$		ns
	$t_{v(SPCH-SOMI)M}$ 有效时间, SPICLK 高电平之后SPISOMI 数据有效的时间 (时钟极性= 1)	$0.25t_{c(SPCM)} - 10$		$0.5t_{c(SPCM)} - 0.5t_{c(LCO)} - 10$		

①主控/受控位(SPICTL.2) 被设定, 而时钟相位的位(SPICTL.3) 被清除。

② t_c 为系统时钟周期时间: $t_c = 1 / CLKOUT = t_{c(CO)}$

③作为基准的 SPICLK 信号的有效沿由 CLOCK POLARITY (时钟极性) 位(SPICCR 6) 控制。



① SPISTE 信号必须在 SPI 通信流开始之前处于活动状态; SPISTE 信号必须保持有效, 直到 SPI 通信流完成

图 5-18a.SPI 主模式外部时序 (时钟相位= 0)

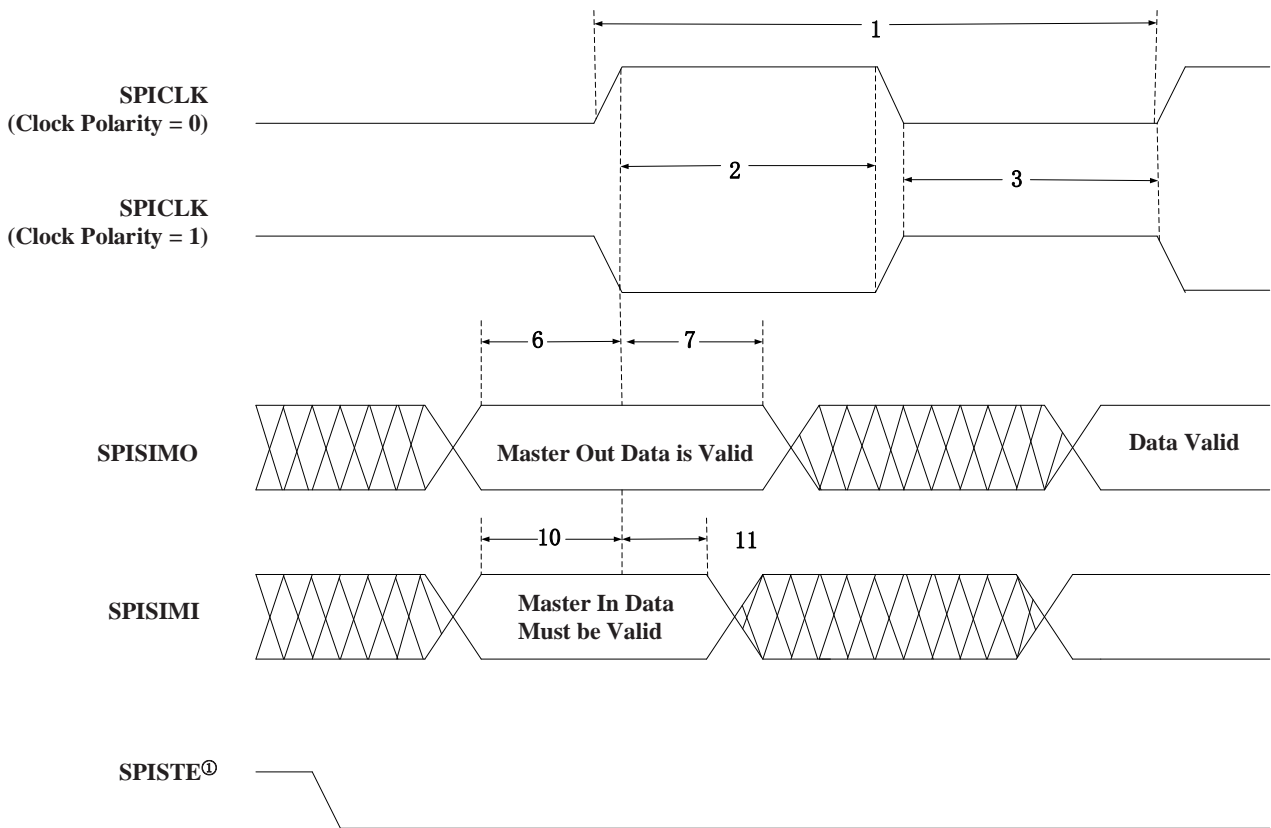
表 5-18b.SPI 主控模式外部时序 (时钟相位 = 1)^{①②} (见图 5-18b)

编号		当(SPIBRR+1) 为偶数或者 SPIBRR=0 或者 2 时的 SPI		当(SPIBRR+1) 为奇数并且 SPIBRR>3 时的 SPI		单位
		最小值	最大值	最小值	最大值	
1	$t_{c(SPCM)}$ 周期时间, SPICLK	$4t_{c(CO)}$	$128t_{c(CO)}$	$5t_{c(LCO)}$	$127t_{c(LCO)}$	ns
2 ^③	$t_{w(SPCH)M}$ 脉冲持续时间, SPICLK 高电平的时间 (时钟极性 = 0)	$0.5t_{c(SPCM)} - 10$	$0.5t_{c(SPCM)}$	$0.5t_{c(SPCM)} - 0.5t_{c(LCO)} - 10$	$0.5t_{c(SPCM)} - 0.5t_{c(LCO)}$	ns
	$t_{w(SPCL)M}$ 脉冲持续时间, SPICLK 低电平的时间 (时钟极性 = 1)	$0.5t_{c(SPCM)} - 10$	$0.5t_{c(SPCM)}$	$0.5t_{c(SPCM)} - 0.5t_{c(LCO)} - 10$	$0.5t_{c(SPCM)} - 0.5t_{c(LCO)}$	
3 ^③	$t_{w(SPCL)M}$ 脉冲持续时间, SPICLK 低电平的时间 (时钟极性 = 0)	$0.5t_{c(SPCM)} - 10$	$0.5t_{c(SPCM)}$	$0.5t_{c(SPCM)} + 0.5t_{c(LCO)} - 10$	$0.5t_{c(SPCM)} + 0.5t_{c(LCO)}$	ns
	$t_{w(SPCH)M}$ 脉冲持续时间, SPICLK 高电平的时间 (时钟极性 = 1)	$0.5t_{c(SPCM)} - 10$	$0.5t_{c(SPCM)}$	$0.5t_{c(SPCM)} + 0.5t_{c(LCO)} - 10$	$0.5t_{c(SPCM)} + 0.5t_{c(LCO)}$	
6 ^③	$t_{su(SIMO-SPCH)M}$ 建立时间, 在 SPICLK 高电平之前 SPISIMO 数据有效的 时间 (时钟极性 = 0)	$0.5t_{c(SPCM)} - 10$		$0.5t_{c(SPCM)} - 10$		ns
	$t_{su(SIMO-SPCL)M}$ 建立时间, 在 SPICLK 低电平之前 SPISIMO 数据有效的 时间 (时钟极性 = 1)	$0.5t_{c(SPCM)} - 10$		$0.5t_{c(SPCM)} - 10$		
7 ^③	$t_{v(SPCH-SIMO)M}$ 有效时间, SPICLK 高 电平后, SPISIMO 数据有效的时 间 (时钟极性 = 0)	$0.5t_{c(SPCM)} - 10$		$0.5t_{c(SPCM)} - 10$		ns
	$t_{v(SPCL-SIMO)M}$ 有效时间, SPICLK 低 电平之后, SPISIMO 数据有效的 时间 (时钟极性 = 1)	$0.5t_{c(SPCM)} - 10$		$0.5t_{c(SPCM)} - 10$		
10 ^③	$t_{su(SOMI-SPCH)M}$ 建立时间, SPISOMI 在 SPICLK 高电平之前的时间 (时 钟极性 = 0)	0		0		ns
	$t_{su(SOMI-SPCL)M}$ 建立时间, SPISOMI 在 SPICLK 低电平之前的时间 (时 钟极性 = 1)	0		0		
11 ^③	$t_{v(SPCH-SOMI)M}$ 有效时间, SPICLK 高 电平之后 SPISOMI 数据有效的时 间 (时钟极性 = 0)	$0.25t_{c(SPCM)} - 10$		$0.5t_{c(SPCM)} - 10$		ns
	$t_{v(SPCL-SOMI)M}$ 有效时间, SPICLK 低 电平之后 SPISOMI 数据有效的时 间 (时钟极性 = 1)	$0.25t_{c(SPCM)} - 10$		$0.5t_{c(SPCM)} - 10$		

① 主控/受控位(SPICTL.2) 被设定, 而时钟相位的位(SPICTL.3) 被清除。

② t_c 为系统时钟周期时间, $t_c = 1 / CLKOUT = t_{c(CO)}$

③ 作为基准的 SPICLK 信号的有效沿由 CLOCK POLARITY (时钟极性) 位(SPICCR 6) 控制。



① SPISTE 信号必须在 SPI 通信流开始之前处于活动状态; SPISTE 信号必须保持有效, 直到 SPI 通信流完成。

图 5-18b.SPI 主模式外部时序 (时钟相位=1)

5.19 SPI 受控模式时序参数

表 5-19a 和表 5-19b 列出了 SPI 受控模式时序。

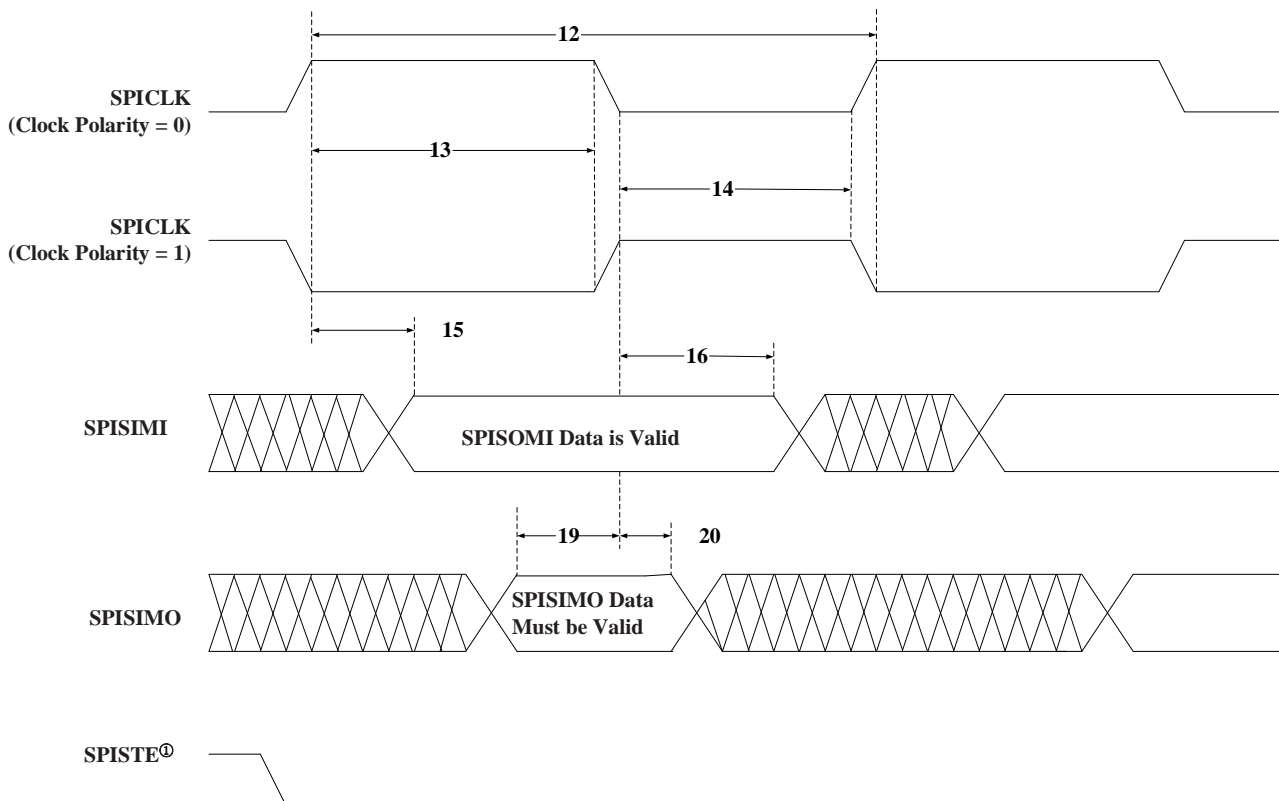
表 5-19a.SPI 受控模式外部时序参数(时钟相位= 0)^{①②} (见图 5-19a)

编号		最小值	最大值	单位
12	$t_{c(SPC)S}$ 周期时间, SPICLK	$4t_{c(CO)}$		ns
13 ^③	$t_{w(SPCH)S}$ 脉冲持续时间, SPICLK 高电平 (时钟极性= 0)	$0.5t_{c(SPC)S} - 10$	$0.5t_{c(SPC)S}$	ns
	$t_{w(SPCL)S}$ 脉冲持续时间, SPICLK 低电平 (时钟极性= 1)	$0.5t_{c(SPC)S} - 10$	$0.5t_{c(SPC)S}$	
14 ^③	$t_{w(SPCL)S}$ 脉冲持续时间, SPICLK 低电平 (时钟极性= 0)	$0.5t_{c(SPC)S} - 10$	$0.5t_{c(SPC)S}$	ns
	$t_{w(SPCH)S}$ 脉冲持续时间, SPICLK 高电平 (时钟极性= 1)	$0.5t_{c(SPC)S} - 10$	$0.5t_{c(SPC)S}$	
15 ^③	$t_{d(SPCH-SOM)S}$ 延迟时间, SPICLK 高电平至 SPISOMI 有效 (时钟极性= 0)	$0.375t_{c(SPC)S} - 10$		ns
	$t_{d(SPCL-SOM)S}$ 延迟时间, SPICLK 低电平至 SPISOMI 有效 (时钟极性= 1)	$0.375t_{c(SPC)S} - 10$		
16 ^③	$t_{v(SPCL-SOM)S}$ 有效时间, SPICLK 低电平之后, SPISOMI 数据有效 (时钟极性=0) 的时间	$0.75t_{c(SPC)S}$		ns
	$t_{v(SPCH-SOM)S}$ 有效时间, SPICLK 高电平之后, SPISOMI 数据有效 (时钟极性=1) 的时间	$0.75t_{c(SPC)S}$		
19 ^③	$t_{su(SIMO-SPCL)S}$ 建立时间, SPISOMI 在 SPICLK 低电平之前的时间 (时钟极性= 0)	0		ns
	$t_{su(SIMO-SPCH)S}$ 建立时间, SPISOMI 在 SPICLK 高电平之前的时间 (时钟极性= 1)	0		
20 ^③	$t_{v(SPCL-SIMO)S}$ 有效时间, SPICLK 低电平之后 SPISOMI 数据有效的的时间 (时钟极性= 0)	$0.5t_{c(SPC)S}$		ns
	$t_{v(SPCH-SIMO)S}$ 有效时间, SPICLK 高电平之后 SPISOMI 数据有效的的时间 (时钟极性= 1)	$0.5t_{c(SPC)S}$		

① 主控/受控位(SPICTL.2) 被设定, 而时钟相位的位(SPICTL.3)被清除。

② t_c 为系统时钟周期时间, $t_c = 1/CLKOUT = t_{c(CO)}$

③ 作为基准的 SPICLK 信号的有效沿由 CLOCK POLARITY (时钟极性) 位(SPICCR.6) 控制。



① SPISTE 信号必须在 SPI 通信流开始之前处于活动状态; SPISTE 信号必须保持有效, 直到 SPI 通信流完成

图 5-19a.SPI 受控模式外部时序 (时钟相位= 0)

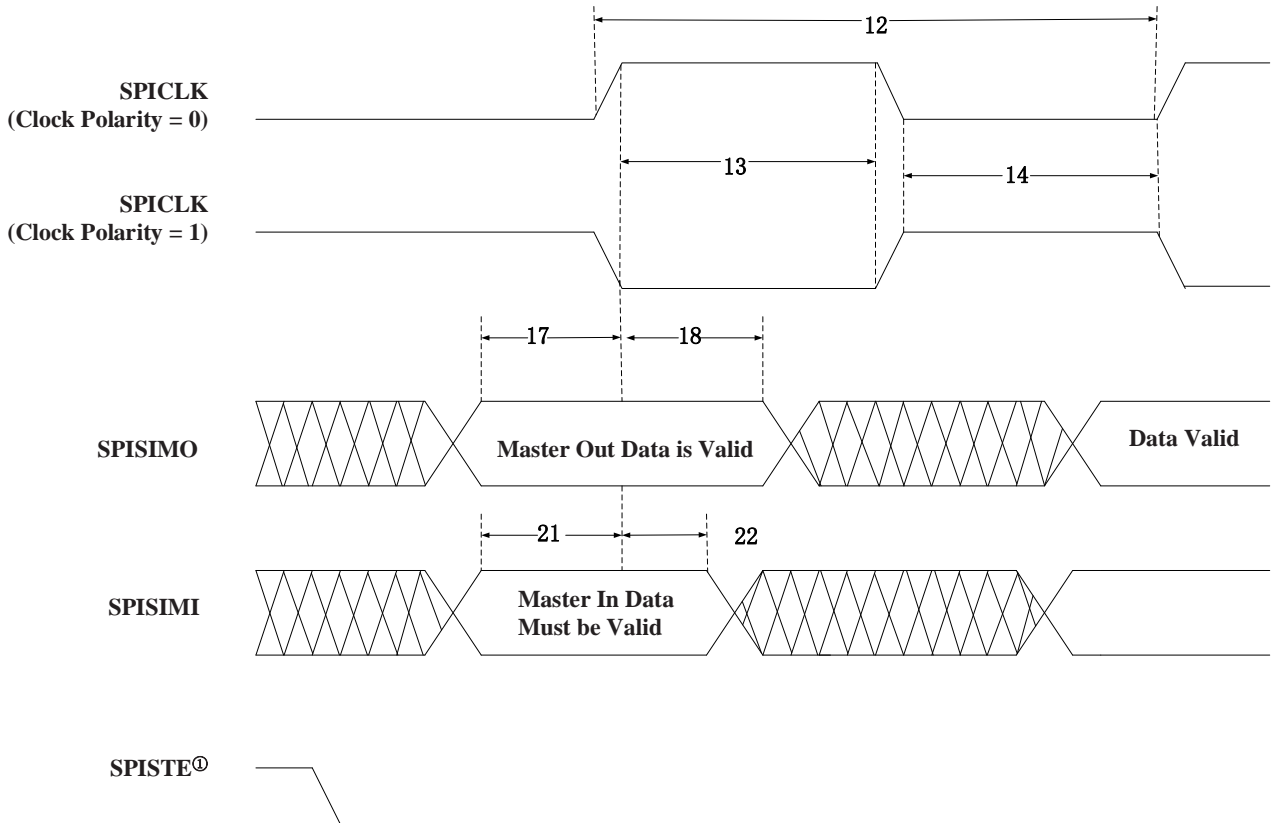
表 5-19b.SPI 受控模式外部时序(时钟相位 = 1)^{①②} (见图 5-19b)

编号		最小值	最大值	单位
12	$t_{c(SPC)S}$ 周期时间, SPICLK	$8t_{c(CO)}$		ns
13 ^③	$t_{w(SPCH)S}$ 脉冲持续时间, SPICLK 高电平 (时钟极性 = 0)	$0.5t_{c(SPC)S} - 10$	$0.5t_{c(SPC)S}$	ns
	$t_{w(SPCL)S}$ 脉冲持续时间, SPICLK 低电平 (时钟极性 = 1)	$0.5t_{c(SPC)S} - 10$	$0.5t_{c(SPC)S}$	
14 ^③	$t_{w(SPCL)S}$ 脉冲持续时间, SPICLK 低电平 (时钟极性 = 0)	$0.5t_{c(SPC)S} - 10$	$0.5t_{c(SPC)S}$	ns
	$t_{w(SPCH)S}$ 脉冲持续时间, SPICLK 高电平 (时钟极性 = 1)	$0.5t_{c(SPC)S} - 10$	$0.5t_{c(SPC)S}$	
17 ^③	$t_{su(SOMI-SPCH)S}$ 建立时间, SPISOMI 在 SPICLK 高电平之前的时间 (时钟极性 = 0)	$0.125t_{c(SPC)S}$		ns
	$t_{su(SOMI-SPCL)S}$ 建立时间, SPISOMI 在 SPICLK 低电平之前的时间 (时钟极性 = 1)	$0.125t_{c(SPC)S}$		
18 ^③	$t_{v(SPCH-SOMI)S}$ 有效时间, SPICLK 高电平之后, SPISOMI 数据有效 (时钟极性 = 0) 的时间	$0.75t_{c(SPC)S}$		ns
	$t_{v(SPCL-SOMI)S}$ 有效时间, SPICLK 低电平之后, SPISOMI 数据有效 (时钟极性 = 1) 的时间	$0.75t_{c(SPC)S}$		
21 ^③	$t_{su(SIMO-SPCH)S}$ 建立时间, SPISOMI 在 SPICLK 高电平之前的时间 (时钟极性 = 0)	0		ns
	$t_{su(SIMO-SPCL)S}$ 建立时间, SPISOMI 在 SPICLK 低电平之前的时间 (时钟极性 = 1)	0		
22 ^③	$t_{v(SPCH-SIMO)S}$ 有效时间, SPICLK 高电平之后 SPISOMI 数据有效的的时间 (时钟极性 = 0)	$0.5t_{c(SPC)S}$		ns
	$t_{v(SPCL-SIMO)S}$ 有效时间, SPICLK 低电平之后 SPISOMI 数据有效的的时间 (时钟极性 = 1)	$0.5t_{c(SPC)S}$		

①主控/受控位(SPICTL.2) 被清除, 而时钟相位的位(SPICTL.3) 被设定

② t_c 为系统时钟周期时间, $t_c = 1/CLKOUT = t_{c(CO)}$

③作为基准的 SPICLK 信号的有效沿由 CLOCK POLARITY (时钟极性) 位(SPICCR 6) 控制。



① SPISTE 信号必须在 SPI 通信流开始之前处于活动状态; SPISTE 信号必须保持有效, 直到 SPI 通信流完成。

图 5-19b.SPI 受控模式外部时序 (时钟相位= 1)

5.20 10 位模数转换器 (ADC)

10 位 ADC 的模拟电路有单独的电源总线。这些引脚涉及到 V_{CCA} 和 V_{SSA} 。这些隔离的电源总线是为了通过防止数字逻辑电路 V_{SS} 和 V_{CC} 产生的噪声连接到模拟模块从而增强 ADC 的能力。所以 ADC 规格详述将遵守 V_{SSA} 给出，除非有另外说明。

分辨率-----10 位 (1024 个值)
 单调性-----确定
 输出转换模式-----000h to 3FFh
 转换时间 (包括采样时间) -----250ns

5.21 建议运行环境

表 5-21 建议运行环境

		最小值	正常值	最大值	单位
V_{CCA}	模拟供电电压	3.0	3.3	3.6	V
V_{DDA2}	模拟供电电压	3.0	3.3	3.6	V
V_{SSA}	模拟地		0		V
V_{SSA2}	模拟地		0		V
V_{REFP}	模拟基准源 1V		1.000		V
V_{REFM}	模拟基准源 2V		2.000		V
V_{AI}	模拟输入电压, ADCIN00—ADCIN07	0		3.0	V

5.22 ADC 运行频率

表 5-22 ADC 运行频率

	MIN	MAX	单位
ADC 运行频率	1	4	MHZ

5.23 Flash 参数

表 5-23 Flash 访问时序

参数	最小值	典型值	最大值	单位
$t_{a(rp)}$ 页式 Flash	25			ns
$t_{a(rr)}$ 随机 Flash	25			ns

5.24 在推荐运行条件范围下的 ADC 电气特性

表 5-24 在推荐运行条件范围下的 ADC 电气特性

分辨率	描述		最小值	典型值	最大值	单位
I_{CCA} 模拟供电电流	$V_{CCA}=3.3V$			30	35	mA
	$V_{CCA}=V_{DDA2}=3.3V$	PLL or OSC power down			2	uA
I_{ADREFM}, I_{ADREFP} 外部基准模式输入电流				0.8	1.5	mA
I_{ADCIN} 模拟输入漏电流					3	uA
C_{ai} 模拟输入电容	模拟输入引脚上 的典型容性负载	非采样值		10		pF
		采样值		20		
E_{DNL} 非线性微分误差	实际步长与理想值之间的微分				± 2	LSB
E_{INL} 非线性积分误差	从最好的直线经过模数转换特性的最大偏移量 不包括数字化错误				± 2	LSB
$t_d(PU)$ 延迟时间, ADC 有效上电后	上电后稳定模拟阶段的时间				20	ms
Z_{AI} 模拟输入源阻抗	转换到规格内最小 t_w 所需的模拟输入源阻抗			67	10	Ω

6 外设寄存器说明

表 6-1 ADP16F0X 外设寄存器说明

ADDR	BIT15	BIT14	BIT13	BIT12	BIT11	BIT10	BIT9	BIT8	REG
	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0	
数据存储空间									
CPU 状态寄存器									
	ARP			OV	OVM	1	INTM	DP(8)	ST0
	DP(7)	DP(6)	DP(5)	DP(4)	DP(3)	DP(2)	DP(1)	DP(0)	
	ARB			CNF	TC	SXM	C	1	ST1
	1	1	1	XF	1	1	PM		
全局存储器和 CPU 中断寄存器									
00004h	—	—	—	—	—	—	—	—	IMR
	—	—	IN6 MASK	IN6 MASK	IN6 MASK	IN6 MASK	IN6 MASK	IN6 MASK	
00005h	保留								GREG
00006h	—	—	—	—	—	—	—	—	IFR
	—	—	IN6 FLAG	IN5 FLAG	IN4 FLAG	IN3 FLAG	IN2 FLAG	IN1 FLAG	
系统寄存器									
07010h	IRQ0.15	IRQ0.14	IRQ0.13	IRQ0.12	IRQ0.11	IRQ0.10	IRQ0.9	IRQ0.8	PIRQR0
	IRQ0.7	IRQ0.6	IRQ0.5	IRQ0.4	IRQ0.3	IRQ0.2	IRQ0.1	IRQ0.0	
07011h	IRQ1.15	IRQ1.14	IRQ1.13	IRQ1.12	IRQ1.11	IRQ1.10	IRQ1.9	IRQ1.8	PIRQR1
	IRQ1.7	IRQ1.6	IRQ1.5	IRQ1.4	IRQ1.3	IRQ1.2	IRQ1.1	IRQ1.0	
07012h	IRQ2.15	IRQ2.14	IRQ2.13	IRQ2.12	IRQ2.11	IRQ2.10	IRQ2.9	IRQ2.8	PIRQR2
	IRQ2.7	IRQ2.6	IRQ2.5	IRQ2.4	IRQ2.3	IRQ2.2	IRQ2.1	IRQ2.0	
07013h	非法								
07014h	IAK0.15	IAK0.14	IAK0.13	IAK0.12	IAK0.11	IAK0.10	IAK0.9	IAK0.8	PIACKR0
	IAK0.7	IAK0.6	IAK0.5	IAK0.4	IAK0.3	IAK0.2	IAK0.1	IAK0.0	
07015h	IAK1.15	IAK1.14	IAK1.13	IAK1.12	IAK1.11	IAK1.10	IAK1.9	IAK1.8	PIACKR1
	IAK1.7	IAK1.6	IAK1.5	IAK1.4	IAK1.3	IAK1.2	IAK1.1	IAK1.0	
07016h	IAK2.15	IAK2.14	IAK2.13	IAK2.12	IAK2.11	IAK2.10	IAK2.9	IAK2.8	PIACKR2
	IAK2.7	IAK2.6	IAK2.5	IAK2.4	IAK2.3	IAK2.2	IAK2.1	IAK2.0	
07017h	非法								
07018h	—	CLKSRC	LPM1	LPM0	CLKPS2	CLKPS1	CLKPS0	—	SCSR1
	ADC CLKEN	SCI CLKEN	SPI CLKEN	CAN	EM2 CLKEN	EM1 CLKEN	—	ILLADR	
07019h	—	—	—	—	—	—	—	—	SCSR2
	—	—	WD OVERRIDE	XMIF HI Z	BOOT_EN	MP/MC	DON	PON	
0701Ah 0701Bh	非法								
0701Ch	DIN15	DIN14	DIN13	DIN12	DIN11	DIN10	DIN9	DIN8	DINR
	DIN7	DIN6	DIN5	DIN4	DIN3	DIN2	DIN1	DIN0	
0701Dh	非法								
0701Eh	V15	V14	V13	V12	V11	V10	V9	V8	PIVR
	V7	V6	V5	V4	V3	V2	V1	V0	
0701Fh	非法								

表 6-1 ADP16F0X 外设寄存器说明 (续)

ADDR	BIT15	BIT14	BIT13	BIT12	BIT11	BIT10	BIT9	BIT8	REG
	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0	
WD 控制寄存器									
07020h -07022h	非法								
07023h	D7	D6	D5	D4	D3	D2	D1	D0	WDCNTR
07024h	非法								
07025h	D7	D6	D5	D4	D3	D2	D1	D0	WDKEY
07026h -07028h	非法								
07029h	WD FLAG	WDDIS	WDCHK2	WDCHK1	WDCHK0	WDPS2	WDPS1	WDPS0	WDCR
0702Ah -0703Fh	非法								
SPI 配置控制寄存器									
07040h	SPI SW	CLOCK	—	—	SPI	SPI	SPI	SPI	SPICCR
07041h	—	—	—	OVERRUN	CLOCK	MASTER	TALK	SPI INT	SPICTL
07042h	RECEIVEROVE	SPI INT	TX BUF	—	—	—	—	—	SPISTS
07043h	非法								
07044h	—	SPIBIT	SPIBIT	SPIBIT	SPIBIT	SPIBIT	SPIBIT	SPIBIT	SPIBRR
07045h	非法								
07046h	ERXB15	ERXB14	ERXB13	ERXB12	ERXB11	ERXB10	ERXB9	ERXB8	SPIRXEMU
	ERXB7	ERXB6	ERXB5	ERXB4	ERXB3	ERXB2	ERXB1	ERXB0	
07047h	RXB15	RXB14	RXB13	RXB12	RXB11	RXB10	RXB9	RXB8	SPIRXBUF
	RXB7	RXB6	RXB5	RXB4	RXB3	RXB2	RXB1	RXB0	
07048h	TXB15	TXB14	TXB13	TXB12	TXB11	TXB10	TXB9	TXB8	SPITXBUF
	TXB7	TXB6	TXB5	TXB4	TXB3	TXB2	TXB1	TXB0	
07049h	SDAT15	SDAT14	SDAT13	SDAT12	SDAT11	SDAT10	SDAT9	SDAT8	SPIDAT
	SDAT7	SDAT6	SDAT5	SDAT4	SDAT3	SDAT2	SDAT1	SDAT0	
0704Ah -0704Eh	非法								
0704Fh	—	SPI	SPI SUSP	SPI SUSP	—	—	—	—	SPIPRI

表 6-1 ADP16F0X 外设寄存器说明 (续)

ADDR	BIT15	BIT14	BIT13	BIT12	BIT11	BIT10	BIT9	BIT8	REG
	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0	
串行通信接(SCI)配置控制寄存器									
07050h	STOP BITS	EVEN/ODD PARITY	PARITY ENABLE	LOOP BACKENA	ADDR/IDLEMODE	SCI CHAR2	SCI CHAR1	SCI CHAR0	SCISSR
07051h	—	RX ERR INT ENA	SW RESET	—	TX WAKE	SLEEP	TXENA	RXENA	SCICTL1
07052h	BAUD15 (MSB)	BAUD14	BAUD13	BAUD12	BAUD11	BAUD10	BAUD9	BAUD8	SCIHBAUD
07053h	BAUD7	BAUD6	BAUD5	BAUD4	BAUD3	BAUD2	BAUD1	BAUD0(LSB)	SCILBAUD
07054h	TXRDY	TXEMPTY	—	—	—	—	RX/BK INTENA	TX INT ENA	SCISTL2
07055h	RX ERROR	RXRDY	BRKDT	FE	OE	PE	RXWAKE	—	SCIRXST
07056h	ERXDT7	ERXDT6	ERXDT5	ERXDT4	ERXDT3	ERXDT2	ERXDT1	ERXDT0	SCIRXEMU
07057h	RXDT7	RXDT6	RXDT5	RXDT4	RXDT3	RXDT2	RXDT1	RXDT0	SCIRXBUF
07058h	非法								
07059h	TXDT7	TXDT6	TXDT5	TXDT4	TXDT3	TXDT2	TXDT1	TXDT0	SCITXBUF
0705Ah -0705Eh	非法								
0705Fh	—	SCITX PRIORITY	SCIRX PRIORITY	SCI SOFT	SCI FREE	—	—	—	SCIPRI
07060h -0706Fh	非法								
外部中断控制寄存器									
07070h	XINT1 FLAG	—	—	—	—	—	—	—	XINT1CR
	—	—	—	—	—	XINT1 POLARITY	XINT1 PRIORITY	XINT1 ENA	
07071h	XINT2 FLAG	—	—	—	—	—	—	—	XINT2CR
	—	—	—	—	—	XINT2 POLARITY	XINT2 PRIORITY	XINT2 ENA	
07072h -0708Fh	非法								
数字 I/O 控制寄存器									
07090h	MCRA.15	MCRA.14	MCRA.13	MCRA.12	MCRA.11	MCRA.10	MCRA.9	MCRA.8	MCRA
	MCRA.7	MCRA.6	MCRA.5	MCRA.4	MCRA.3	MCRA.2	MCRA.1	MCRA.0	
07091h	非法								
07092h	MCRB.15	MCRB.14	MCRB.13	MCRB.12	MCRB.11	MCRB.10	MCRB.9	MCRB.8	MCRB
	MCRB.7	MCRB.6	MCRB.5	MCRB.4	MCRB.3	MCRB.2	MCRB.1	MCRB.0	
07093h	非法								
07094h	MCRC.15	MCRC.14	MCRC.13	MCRC.12	MCRC.11	MCRC.10	MCRC.9	MCRC.8	MCRC
	MCRC.7	MCRC.6	MCRC.5	MCRC.4	MCRC.3	MCRC.2	MCRC.1	MCRC.0	
07095h	E7DIR	E6DIR	E5DIR	E4DIR	E3DIR	E2DIR	E1DIR	E0DIR	PEDAT DIR
	IOPE7	IOPE6	IOPE5	IOPE4	IOPE3	IOPE2	IOPE1	IOPE0	

表 6-1 ADP16F0X 外设寄存器说明 (续)

ADDR	BIT15	BIT14	BIT13	BIT12	BIT11	BIT10 BIT15	BIT9	BIT8	REG
	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0	
数字 I/O 控制寄存器(续)									
07096h	—	F6DIR	F5DIR	F4DIR	F3DIR	F2DIR	F1DIR	F0DIR	PFDATDIR
	—	IOPF6	IOPF5	IOPF4	IOPF3	IOPF2	IOPF1	IOPF0	
07098h	A7DIR	A6DIR	A5DIR	A4DIR	A3DIR	A2DIR	A1DIR	A0DIR	PADATDIR
	IOPA7	IOPA6	IOPA5	IOPA4	IOPA3	IOPA2	IOPA1	IOPA0	
07099h	非法								
0709Ah	B7DIR	B6DIR	B5DIR	B4DIR	B3DIR	B2DIR	B1DIR	B0DIR	PBDATDIR
	IOPB7	IOPB6	IOPB5	IOPB4	IOPB3	IOPB2	IOPB1	IOPB0	
0709Bh	非法								
0709Ch	C7DIR	C6DIR	C5DIR	C4DIR	C3DIR	C2DIR	C1DIR	C0DIR	PCDATDIR
	IOPC7	IOPC6	IOPC5	IOPC4	IOPC3	IOPC2	IOPC1	IOPC0	
0709Dh	非法								
0709Eh	—	—	—	—	—	—	—	D0DIR	PDDATDIR
	—	—	—	—	—	—	—	IOPD0	
0709Fh	非法								
模数转换器(ADC)寄存器									
070A0h	—	RESET	SOFT	FREE	ADC CLKPS3	ADC CLKPS2	ADC CLKPS1	ADC CLKPS0	ADCTRL1
	SMODE_SEL	CONT RUN	INT PRI	SEQ CASC	CALENA	ADC PWDN	—	—	
070A1h	EM2 SOCSEQ	RST SEQ1/ Start CAL	SOC SEQ1	SEQ1 BUSY	INT ENA SEQ1 Mode1	INT ENA SEQ1 Mode0	INT FLAG SEQ1	EM1 SOC EN SEQ1	ADCTRL2
	EXT SOC SEQ1	RST SEQ2	SOC SEQ2	SEQ2 BUSY	INT ENA SEQ2 Mode1	INT ENA SEQ2 Mode0	INT FLAG SEQ2	EM1 SOC EN SEQ2	
070A2h	—	—	—	—	—	—	—	—	MAX CONV
	—	MAX COV22	MAX COV21	MAX COV20	MAX COV13	MAX COV12	MAX COV11	MAX COV10	
070A3h	COV 3	COV 3	COV 3	COV 3	COV 2	COV 2	COV 2	COV 2	CHSEL SEO1
	COV 1	COV 1	COV 1	COV 1	COV 0	COV 0	COV 0	COV 0	
070A4h	COV 7	COV 7	COV 7	COV 7	COV 6	COV 6	COV 6	COV 6	CHSEL SEO2
	COV 5	COV 5	COV 5	COV 5	COV 4	COV 4	COV 4	COV 4	
070A5h	COV 11	COV 11	COV 11	COV 11	COV 10	COV 10	COV 10	COV 10	CHSEL SEO3
	COV 9	COV 9	COV 9	COV 9	COV 8	COV 8	COV 8	COV 8	
070A6h	COV 15	COV 15	COV 15	COV 15	COV 14	COV 14	COV 14	COV 14	CHSEL SEO4
	COV 13	COV 13	COV 13	COV 13	COV 12	COV 12	COV 12	COV 12	
070A7h	—	—	—	—	SEQCNR3	SEQCNR2	SEQCNR1	SEQCNR0	AUTO_SEQ _SR
	—	SEQ2 STATE2	SEQ2 STATE1	SEQ2 STATE0	SEQ1 STATE3	SEQ1 STATE2	SEQ1 STATE1	SEQ1 STATE0	
070A8h	D9	D8	D7	D6	D5	D4	D3	D2	RESULT0
	D1	D0	0	0	0	0	0	0	
070A9h	D9	D8	D7	D6	D5	D4	D3	D2	RESULT1
	D1	D0	0	0	0	0	0	0	
070AAh	D9	D8	D7	D6	D5	D4	D3	D2	RESULT2
	D1	D0	0	0	0	0	0	0	

表 6-1 ADP16F0X 外设寄存器说明 (续)

ADDR	BIT15	BIT14	BIT13	BIT12	BIT11	BIT10	BIT9	BIT8	REG
	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0	
模数转换器(ADC)寄存器(续)									
070ABh	D9	D8	D7	D6	D5	D4	D3	D2	RESULT3
	D1	D0	0	0	0	0	0	0	
070ACh	D9	D8	D7	D6	D5	D4	D3	D2	RESULT4
	D1	D0	0	0	0	0	0	0	
070ADh	D9	D8	D7	D6	D5	D4	D3	D2	RESULT5
	D1	D0	0	0	0	0	0	0	
070AEh	D9	D8	D7	D6	D5	D4	D3	D2	RESULT6
	D1	D0	0	0	0	0	0	0	
070AFh	D9	D8	D7	D6	D5	D4	D3	D2	RESULT7
	D1	D0	0	0	0	0	0	0	
070B0h	D9	D8	D7	D6	D5	D4	D3	D2	RESULT8
	D1	D0	0	0	0	0	0	0	
070B1h	D9	D8	D7	D6	D5	D4	D3	D2	RESULT9
	D1	D0	0	0	0	0	0	0	
070B2h	D9	D8	D7	D6	D5	D4	D3	D2	RESULT10
	D1	D0	0	0	0	0	0	0	
070B3h	D9	D8	D7	D6	D5	D4	D3	D2	RESULT11
	D1	D0	0	0	0	0	0	0	
070B4h	D9	D8	D7	D6	D5	D4	D3	D2	RESULT12
	D1	D0	0	0	0	0	0	0	
070B5h	D9	D8	D7	D6	D5	D4	D3	D2	RESULT13
	D1	D0	0	0	0	0	0	0	
070B6h	D9	D8	D7	D6	D5	D4	D3	D2	RESULT14
	D1	D0	0	0	0	0	0	0	
070B7h	D9	D8	D7	D6	D5	D4	D3	D2	RESULT15
	D1	D0	0	0	0	0	0	0	
070B8h	D9	D8	D7	D6	D5	D4	D3	D2	CALIB RATION
	D1	D0	0	0	0	0	0	0	
070B9h -070FFh	非法								
控制器局域网 (CAN) 配置控制寄存器									
07100h	—	—	—	—	—	—	—	—	MDER
	MD3	MD2	ME5	ME4	ME3	ME2	ME1	ME0	
07101h	TA5	TA4	TA3	TA2	AA5	AA4	AA3	AA2	TCR
	TRS5	TRS4	TRS3	TRS2	TRR5	TRR4	TRR3	TRR2	
07102h	RFP3	RFP2	RFP1	RFP0	RML3	RML2	RML1	RML0	RCR
	RMP3	RMP2	RMP1	RMP0	OPC3	OPC2	OPC1	OPC0	
07103h	—	—	SUSP	CCR	PDR	DBO	WUBA	CDR	MCR
	ABO	STM	—	—	—	—	—	—	
07104h	—	—	—	—	—	—	—	—	BCR2
	BRP7	BRP6	BRP5	BRP4	BRP3	BRP2	BRP1	BRP0	

表 6-1 ADP16F0X 外设寄存器说明 (续)

ADDR	BIT15	BIT14	BIT13	BIT12	BIT11	BIT10	BIT9	BIT8	REG
	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0	
控制器局域网 (CAN) 配置控制寄存器(续)									
07105h	—	—	—	—	—	—	—	—	BCR1
	SAM	TSEG1-3	TSEG1-2	TSEG1-1	TSEG1-0	TSEG2-2	TSEG2-1	TSEG2-0	
07106h	—	—	—	—	—	—	—	FER	ESR
	BEF	SA1	CRCE	SER	ACKE	BO	EP	EW	
07107h	—	—	—	—	—	—	—	—	GSR
	—	—	SMA	CCE	PDA	—	RM	TM	
07108h	TEC7	TEC6	TEC5	TEC4	TEC3	TEC2	TEC1	TEC0	CEC
	REC7	REC6	REC5	REC4	REC3	REC2	REC1	REC0	
07109h	—	—	MIF5	MIF4	MIF3	MIF2	MIF1	MIF0	CAN_IFR
	—	RMLIF	AAIF	WDIF	WUIF	BOIF	EPIF	WLIF	
0710Ah	MIL	—	MIM5	MIM4	MIM3	MIM2	MIM1	MIM0	CAN_IMR
	EIL	RMLIM	AAIM	WDIM	WUIM	BOIM	EPIM	WLIM	
0710Bh	LAMI	—	—	LAM0-28	LAM0-27	LAM0-26	LAM0-25	LAM0-24	LAM0_H
	LAM0-23	LAM0-22	LAM0-21	LAM0-20	LAM0-19	LAM0-18	LAM0-17	LAM0-16	
0710Ch	LAM0-15	LAM0-14	LAM0-13	LAM0-12	LAM0-11	LAM0-10	LAM0-9	LAM0-8	LAM0_L
	LAM0-7	LAM0-6	LAM0-5	LAM0-4	LAM0-3	LAM0-2	LAM0-1	LAM0-0	
0710Dh	LAMI	—	—	LAM1-28	LAM1-27	LAM1-26	LAM1-25	LAM1-24	LAM1_H
	LAM1-23	LAM1-22	LAM1-21	LAM1-20	LAM1-19	LAM1-18	LAM1-17	LAM1-16	
0710Eh	LAM1-15	LAM1-14	LAM1-13	LAM1-12	LAM1-11	LAM1-10	LAM1-9	LAM1-8	LAM1_L
	LAM1-7	LAM1-6	LAM1-5	LAM1-4	LAM1-3	LAM1-2	LAM1-1	LAM1-0	
0710Fh -071FFh	非法								
消息对象#0									
07200h	IDH-15	IDH-14	IDH-13	IDH-12	IDH-11	IDH-10	IDH-9	IDH-8	MSGID0L
	IDH-7	IDH-6	IDH-5	IDH-4	IDH-3	IDH-2	IDH-1	IDH-0	
07201h	IDE	AME	AAM	IDH-28	IDH-27	IDH-26	IDH-25	IDH-24	MSGID0H
	IDH-23	IDH-22	IDH-21	IDH-20	IDH-19	IDH-18	IDH-17	IDH-16	
07202h	—	—	—	—	—	—	—	—	MSGCTRL0
	—	—	—	RTR	DLC3	DLC2	DLC1	DLC0	
07203h	保留								
07204h	D15	D14	D13	D12	D11	D10	D9	D8	MAX0A
	D7	D6	D5	D4	D3	D2	D1	D0	
07205h	D15	D14	D13	D12	D11	D10	D9	D8	MAX0B
	D7	D6	D5	D4	D3	D2	D1	D0	
07206h	D15	D14	D13	D12	D11	D10	D9	D8	MAX0C
	D7	D6	D5	D4	D3	D2	D1	D0	
07207h	D15	D14	D13	D12	D11	D10	D9	D8	MAX0D
	D7	D6	D5	D4	D3	D2	D1	D0	

表 6-1 ADP16F0X 外设寄存器说明 (续)

ADDR	BIT15	BIT14	BIT13	BIT12	BIT11	BIT10	BIT9	BIT8	REG
	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0	
控制器局域网 (CAN) 配置控制寄存器(续)									
消息对象#1									
07208h	IDL-15	IDL-14	IDL-13	IDL-12	IDL-11	IDL-10	IDL-9	IDL-8	MSGID1L
	IDL-7	IDL-6	IDL-5	IDL-4	IDL-3	IDL-2	IDL-1	IDL-0	
07209 h	IDE	AME	AAM	IDH-28	IDH-27	IDH-26	IDH-25	IDH-24	MSGID1H
	IDH-23	IDH-22	IDH-21	IDH-20	IDH-19	IDH-18	IDH-17	IDH-16	
0720Ah	—	—	—	—	—	—	—	—	MSG
	—	—	—	RTR	DLC3	DLC2	DLC1	DLC0	CTRL1
0720Bh	保留								
0720Ch	D15	D14	D13	D12	D11	D10	D9	D8	MBX1A
	D7	D6	D5	D4	D3	D2	D1	D0	
0720Dh	D15	D14	D13	D12	D11	D10	D9	D8	MBX1B
	D7	D6	D5	D4	D3	D2	D1	D0	
0720Eh	D15	D14	D13	D12	D11	D10	D9	D8	MBX1C
	D7	D6	D5	D4	D3	D2	D1	D0	
0720Fh	D15	D14	D13	D12	D11	D10	D9	D8	MBX1D
	D7	D6	D5	D4	D3	D2	D1	D0	
消息对象#2									
07210h	IDL-15	IDL-14	IDL-13	IDL-12	IDL-11	IDL-10	IDL-9	IDL-8	MSGID2L
	IDL-7	IDL-6	IDL-5	IDL-4	IDL-3	IDL-2	IDL-1	IDL-0	
07211h	IDE	AME	AAM	IDH-28	IDH-27	IDH-26	IDH-25	IDH-24	MSGID2H
	IDH-23	IDH-22	IDH-21	IDH-20	IDH-19	IDH-18	IDH-17	IDH-16	
07212h	—	—	—	—	—	—	—	—	MSG
	—	—	—	RTR	DLC3	DLC2	DLC1	DLC0	CTRL2
07213h	保留								
07214h	D15	D14	D13	D12	D11	D10	D9	D8	MBX2A
	D7	D6	D5	D4	D3	D2	D1	D0	
07215h	D15	D14	D13	D12	D11	D10	D9	D8	MBX2B
	D7	D6	D5	D4	D3	D2	D1	D0	
07216h	D15	D14	D13	D12	D11	D10	D9	D8	MBX2C
	D7	D6	D5	D4	D3	D2	D1	D0	
07217h	D15	D14	D13	D12	D11	D10	D9	D8	MBX2D
	D7	D6	D5	D4	D3	D2	D1	D0	
消息对象#3									
07218h	IDL-15	IDL-14	IDL-13	IDL-12	IDL-11	IDL-10	IDL-9	IDL-8	MSGID3L
	IDL-7	IDL-6	IDL-5	IDL-4	IDL-3	IDL-2	IDL-1	IDL-0	
07219h	IDE	AME	AAM	IDH-28	IDH-27	IDH-26	IDH-25	IDH-24	MSGID3H
	IDH-23	IDH-22	IDH-21	IDH-20	IDH-19	IDH-18	IDH-17	IDH-16	
0721Ah	—	—	—	—	—	—	—	—	MSG
	—	—	—	RTR	DLC3	DLC2	DLC1	DLC0	CTRL3
0721Bh	保留								
0721Ch	D15	D14	D13	D12	D11	D10	D9	D8	MBX3A
	D7	D6	D5	D4	D3	D2	D1	D0	

表 6-1 ADP16F0X 外设寄存器说明 (续)

ADDR	BIT15	BIT14	BIT13	BIT12	BIT11	BIT10	BIT9	BIT8	REG
	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0	
控制器局域网 (CAN) 配置控制寄存器(续)									
0721Dh	D15	D14	D13	D12	D11	D10	D9	D8	MBX3B
	D7	D6	D5	D4	D3	D2	D1	D0	
0721Eh	D15	D14	D13	D12	D11	D10	D9	D8	MBX3C
	D7	D6	D5	D4	D3	D2	D1	D0	
0721Fh	D15	D14	D13	D12	D11	D10	D9	D8	MBX3D
	D7	D6	D5	D4	D3	D2	D1	D0	
消息对象#4									
07220h	IDL-15	IDL-14	IDL-13	IDL-12	IDL-11	IDL-10	IDL-9	IDL-8	MSGID4L
	IDL-7	IDL-6	IDL-5	IDL-4	IDL-3	IDL-2	IDL-1	IDL-0	
07221h	IDE	AME	AAM	IDH-28	IDH-27	IDH-26	IDH-25	IDH-24	MSGID4H
	IDH-23	IDH-22	IDH-21	IDH-20	IDH-19	IDH-18	IDH-17	IDH-16	
07222h	—	—	—	—	—	—	—	—	MSG
	—	—	—	RTR	DLC3	DLC2	DLC1	DLC0	CTRL4
07223h	保留								
07224h	D15	D14	D13	D12	D11	D10	D9	D8	MBX4A
	D7	D6	D5	D4	D3	D2	D1	D0	
07225h	D15	D14	D13	D12	D11	D10	D9	D8	MBX4B
	D7	D6	D5	D4	D3	D2	D1	D0	
07226h	D15	D14	D13	D12	D11	D10	D9	D8	MBX4C
	D7	D6	D5	D4	D3	D2	D1	D0	
07227h	D15	D14	D13	D12	D11	D10	D9	D8	MBX4D
	D7	D6	D5	D4	D3	D2	D1	D0	
消息对象#5									
07228h	IDL-15	IDL-14	IDL-13	IDL-12	IDL-11	IDL-10	IDL-9	IDL-8	MSGID5L
	IDL-7	IDL-6	IDL-5	IDL-4	IDL-3	IDL-2	IDL-1	IDL-0	
07229h	IDE	AME	AAM	IDH-28	IDH-27	IDH-26	IDH-25	IDH-24	MSGID5H
	IDH-23	IDH-22	IDH-21	IDH-20	IDH-19	IDH-18	IDH-17	IDH-16	
0722Ah	—	—	—	—	—	—	—	—	MSG
	—	—	—	RTR	DLC3	DLC2	DLC1	DLC0	CTRL5
0722Bh	保留								
0722Ch	D15	D14	D13	D12	D11	D10	D9	D8	MBX5A
	D7	D6	D5	D4	D3	D2	D1	D0	
0722Dh	D15	D14	D13	D12	D11	D10	D9	D8	MBX5B
	D7	D6	D5	D4	D3	D2	D1	D0	
0722Eh	D15	D14	D13	D12	D11	D10	D9	D8	MBX5C
	D7	D6	D5	D4	D3	D2	D1	D0	
0722Fh	D15	D14	D13	D12	D11	D10	D9	D8	MBX5D
	D7	D6	D5	D4	D3	D2	D1	D0	
07230h -073FFh	非法								

表 6-1 ADP16F0X 外设寄存器说明 (续)

ADDR	BIT15	BIT14	BIT13	BIT12 BIT1	BIT11	BIT10	BIT9	BIT8	REG
	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0	
通用(GP)定时器配置控制寄存器 — EM1									
07400h	—	T2STAT	T1STAT	—		T2TOADC		T1TOADC(1)	GPTCONA
	T1TOADC(0)	TCOMPOE	—		T2PIN		T1PIN		
07401h	D15	D14	D13	D12	D11	D10	D9	D8	T1CNT
	D7	D6	D5	D4	D3	D2	D1	D0	
07402h	D15	D14	D13	D12	D11	D10	D9	D8	T1CMPR
	D7	D6	D5	D4	D3	D2	D1	D0	
07403h	D15	D14	D13	D12	D11	D10	D9	D8	T1PR
	D7	D6	D5	D4	D3	D2	D1	D0	
07404h	FREE	SOFT	—	TMODE1	TMODE0	TPS2	TPS1	TPS0	T1CON
	—	TENABLE	TCLKS1	TCLKS0	TCLD1	TCLD0	TECMPR	—	
07405h	D15	D14	D13	D12	D11	D10	D9	D8	T2NT
	D7	D6	D5	D4	D3	D2	D1	D0	
07406h	D15	D14	D13	D12	D11	D10	D9	D8	T2MPR
	D7	D6	D5	D4	D3	D2	D1	D0	
07407h	D15	D14	D13	D12	D11	D10	D9	D8	T2PR
	D7	D6	D5	D4	D3	D2	D1	D0	
07408h	FREE	SOFT	—	TMODE1	TMODE0	TPS2	TPS1	TPS0	T2CON
	T2SWT1	TENABLE	TCLKS1	TCLKS0	TCLD1	TCLD0	TECMPR	SELT1PR	
07409h -07410h	非法								
比较单元寄存器 — EM1									
07411h	CENABLE	CLD1	CLD0	SVENABLE	ACTRLD1	ACTRLD0	FCOMPOE	—	COMCONA
	—	—	—	—	—	—	—	—	
07412h	非法								
07413h	SVRDIR	D2	D1	D0	CMP6ACT1	CMP6ACT0	CMP5ACT1	CMP5ACT0	ACTRA
	CMP4ACT1	CMP4ACT0	CMP3ACT1	CMP3ACT0	CMP2ACT1	CMP2ACT0	CMP1ACT1	CMP1ACT0	
07414h	非法								
07415h	—	—	—	—	DBT3	DBT2	DBT1	DBT0	DBTCONA
	EDBT3	EDBT2	EDBT1	DBTPS2	DBTPS1	DBTPS0	—	—	
07416h	非法								
07417h	D15	D14	D13	D12	D11	D10	D9	D8	CMPR1
	D7	D6	D5	D4	D3	D2	D1	D0	
07418h	D15	D14	D13	D12	D11	D10	D9	D8	CMPR2
	D7	D6	D5	D4	D3	D2	D1	D0	
07419h	D15	D14	D13	D12	D11	D10	D9	D8	CMPR3
	D7	D6	D5	D4	D3	D2	D1	D0	
0741Ah -0741Fh	非法								

表 6-1 ADP16F0X 外设寄存器说明 (续)

ADDR	BIT15	BIT14	BIT13	BIT12	BIT11	BIT10	BIT9	BIT8	REG
	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0	
捕获单元寄存器 — EM1									
07420h	CAPRES	CAPQEPN		CAP3EN	—	CAP3TSEL	CAP12TSEL	CAP3TOADC	CAPCONA
	CAP1EDGE		CAP2EDGE		CAP3EDGE		—		
07421h	非法								
07422h	—		CAP3FIFO		CAP2FIFO		CAP1FIFO		CAPFIFOA
	—	—	—	—	—	—	—	—	
07423h	D15	D14	D13	D12	D11	D10	D9	D8	CAP1FIFO
	D7	D6	D5	D4	D3	D2	D1	D0	
07424h	D15	D14	D13	D12	D11	D10	D9	D8	CAP2FIFO
	D7	D6	D5	D4	D3	D2	D1	D0	
07425h	D15	D14	D13	D12	D11	D10	D9	D8	CAP3FIFO
	D7	D6	D5	D4	D3	D2	D1	D0	
07426h	非法								
07427h	D15	D14	D13	D12	D11	D10	D9	D8	CAP1FBOT
	D7	D6	D5	D4	D3	D2	D1	D0	
07428h	D15	D14	D13	D12	D11	D10	D9	D8	CAP2FBOT
	D7	D6	D5	D4	D3	D2	D1	D0	
07429h	D15	D14	D13	D12	D11	D10	D9	D8	CAP3FBOT
	D7	D6	D5	D4	D3	D2	D1	D0	
0742Ah -0742Bh	非法								
事件管理器(EM1)中断控制寄存器									
0742Ch	—	—	—	—	—	T1OF INT ENA	T1UF INT ENA	T1 CINT ENA	EM1IMRA
	T1 PINT ENA	—	—	—	CMP3 INT ENA	CMP2 INT ENA	CMP1 INT ENA	PDPINTA ENA	
0742Dh	—	—	—	—	—	T2OF INT ENA	T2UF INT ENA	T2 CINT ENA	EM1IMRB
	—	—	—	—	—	—	—	T2 PINT ENA	
0742Eh	—	—	—	—	—	—	—	—	EM1IMRC
	—	—	—	—	—	CAP3INT ENA	CAP2INT ENA	CAP1INT ENA	
0742Fh	—	—	—	—	—	T1OF INT ENA	T1UF INT ENA	T1 CINT ENA	EM1IFRA
	T1 PINT FLAG	—	—	—	CMP3 INT FLAG	CMP2 INT FLAG	CMP1 INT FLAG	PDPINTA FLAG	
07430h	—	—	—	—	—	—	—	—	EM1IFRB
	—	—	—	—	—	T2OF INT FLAG	T2UF INT FLAG	T2 CINT FLAG	
07431h	—	—	—	—	—	—	—	—	EM1IFRC
	—	—	—	—	—	CAP3INT FLAG	CAP2INT FLAG	CAP1INT FLAG	
07432h -074Fh	非法								

表 6-1 ADP16F0X 外设寄存器说明 (续)

ADDR	BIT15	BIT14	BIT13	BIT12 BIT1	BIT11	BIT10 BIT15	BIT9	BIT8	REG
	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0	
通用(GP)定时器配置控制寄存器 — EM1									
07500h	—	T4STAT	T3STAT	—		T4TOADC		T3TOADC(1)	GPTCONB
	T3TOADC(0)	TCOMPOE	—		T4PIN		T3PIN		
07501h	D15	D14	D13	D12	D11	D10	D9	D8	T3CNT
	D7	D6	D5	D4	D3	D2	D1	D0	
07502h	D15	D14	D13	D12	D11	D10	D9	D8	T3CMPR
	D7	D6	D5	D4	D3	D2	D1	D0	
07503h	D15	D14	D13	D12	D11	D10	D9	D8	T3PR
	D7	D6	D5	D4	D3	D2	D1	D0	
07504h	FREE	SOFT	—	TMODE1	TMODE0	TPS2	TPS1	TPS0	T3CON
	—	TENABLE	TCLKS1	TCLKS0	TCLD1	TCLD0	TECMPR	—	
07505h	D15	D14	D13	D12	D11	D10	D9	D8	T4NT
	D7	D6	D5	D4	D3	D2	D1	D0	
07506h	D15	D14	D13	D12	D11	D10	D9	D8	T4MPR
	D7	D6	D5	D4	D3	D2	D1	D0	
07507h	D15	D14	D13	D12	D11	D10	D9	D8	T4PR
	D7	D6	D5	D4	D3	D2	D1	D0	
07508h	FREE	SOFT	—	TMODE1	TMODE0	TPS2	TPS1	TPS0	T4CON
	T4SWT3	TENABLE	TCLKS1	TCLKS0	TCLD1	TCLD0	TECMPR	SELT3PR	
07509h -07510h	保留								
比较单元寄存器 — EM2									
07511h	CENABLE	CLD1	CLD0	SVENABLE	ACTRLD1	ACTRLD0	FCOMPOE	—	COMCONB
	—	—	—	—	—	—	—	—	
07512h	保留								
07513h	SVRDIR	D2	D1	D0	CMP12ACT1	CMP12ACT0	CMP11ACT1	CMP11ACT0	ACTRB
	CMP10ACT1	CMP10ACT0	CMP9ACT1	CMP9ACT0	CMP8ACT1	CMP8ACT0	CMP7ACT1	CMP7ACT0	
07514h	保留								
07515h	—	—	—	—	DBT3	DBT2	DBT1	DBT0	DBTCONB
	EDBT3	EDBT2	EDBT1	DBTPS2	DBTPS1	DBTPS0	—	—	
07516h	保留								
07517h	D15	D14	D13	D12	D11	D10	D9	D8	CMPR4
	D7	D6	D5	D4	D3	D2	D1	D0	
07518h	D15	D14	D13	D12	D11	D10	D9	D8	CMPR5
	D7	D6	D5	D4	D3	D2	D1	D0	
07519h	D15	D14	D13	D12	D11	D10	D9	D8	CMPR6
	D7	D6	D5	D4	D3	D2	D1	D0	
0751Ah 0751Fh	非法								

表 6-1 ADP16F0X 外设寄存器说明 (续)

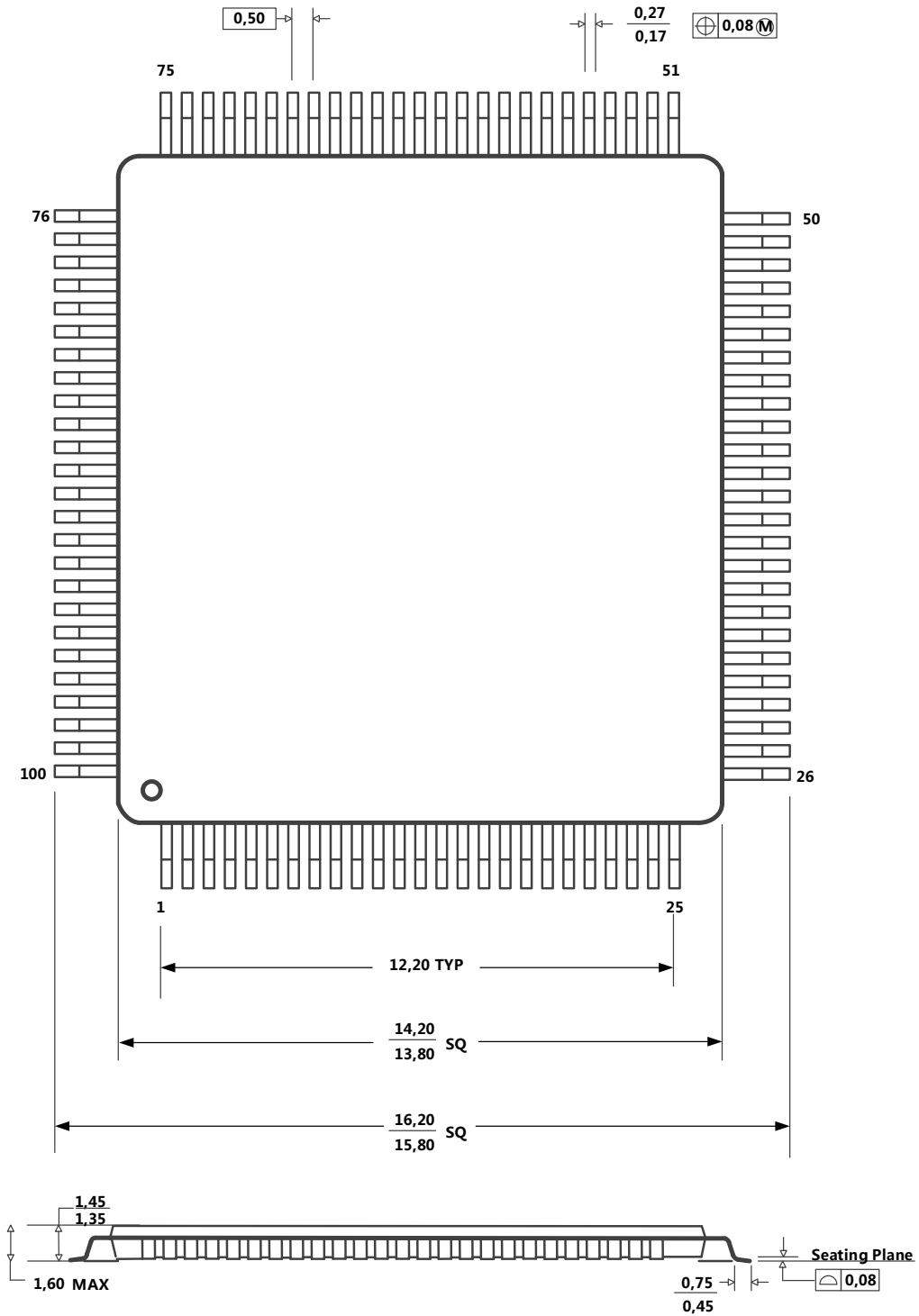
ADDR	BIT15	BIT14	BIT13	BIT12	BIT11	BIT10	BIT9	BIT8	REG
	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0	
捕获单元寄存器 — EM2									
07520h	CAPRES	CAPQEPN		CAP6EN	—	CAP6TSEL	CAP45TSEL	CAP6TOADC	CAPCONB
	CAP4EDGE		CAP5EDGE		CAP6EDGE		—		
07521h	保留								
07522h	—		CAP6FIFO		CAP5FIFO		CAP4FIFO		CAPFIFOB
	—	—	—	—	—	—	—	—	
07523h	D15	D14	D13	D12	D11	D10	D9	D8	CAP4FIFO
	D7	D6	D5	D4	D3	D2	D1	D0	
07524h	D15	D14	D13	D12	D11	D10	D9	D8	CAP5FIFO
	D7	D6	D5	D4	D3	D2	D1	D0	
07525h	D15	D14	D13	D12	D11	D10	D9	D8	CAP6FIFO
	D7	D6	D5	D4	D3	D2	D1	D0	
07526h	保留								
07527h	D15	D14	D13	D12	D11	D10	D9	D8	CAP4FBOT
	D7	D6	D5	D4	D3	D2	D1	D0	
07528h	D15	D14	D13	D12	D11	D10	D9	D8	CAP5FBOT
	D7	D6	D5	D4	D3	D2	D1	D0	
07529h	D15	D14	D13	D12	D11	D10	D9	D8	CAP6FBOT
	D7	D6	D5	D4	D3	D2	D1	D0	
0752Ah -0752Bh	保留								
事件管理器(EM2)中断控制寄存器									
0752Ch	—	—	—	—	—	T3OF INT ENA	T3UF INT ENA	T3 CINT ENA	EM2IMRA
	T3 PINT ENA	—	—	—	CMP6 INT ENA	CMP5 INT ENA	CMP4 INT ENA	PDPINTB ENA	
0752Dh	—	—	—	—	—	T4OF INT ENA	T4UF INT ENA	T4 CINT ENA	EM2IMRB
	—	—	—	—	—	—	—	—	
0752Eh	—	—	—	—	—	—	—	—	EM2IMRC
	—	—	—	—	—	CAP6INT ENA	CAP5INT ENA	CAP4INT ENA	
0752Fh	—	—	—	—	—	T3OF INT ENA	T3UF INT ENA	T3 CINT ENA	EM2IFRA
	T3 PINT FLAG	—	—	—	CMP6 INT FLAG	CMP5 INT FLAG	CMP4 INT FLAG	PDPINTB FLAG	
07530h	—	—	—	—	—	—	—	—	EM2IFRB
	—	—	—	—	—	T4OF INT FLAG	T4UF INT FLAG	T4 CINT FLAG	
07531h	—	—	—	—	—	—	—	—	EM2IFRC
	—	—	—	—	—	CAP6INT FLAG	CAP5INT FLAG	CAP4INT FLAG	
07532h -0753Fh	保留								

表 6-1 ADP16F0X 外设寄存器说明 (续)

ADDR	BIT15	BIT14	BIT13	BIT12	BIT11	BIT10	BIT9	BIT8	REG
	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0	
	程序存储空间 — 闪存寄存器								
0xx00h	—	—	—	—	—	—	—	—	PMPC
	—	—	—	—	PWR	KEY1	KEY0	EXEC	
0xx01h	—	—	—	—	—	—	WSVER EN	PRECND Mode1	CTRL↑
	PRECND Mode0	ENG/R Mode2	ENG/R Mode1	ENG/R Mode0	FCM3	FCM2	FCM1	FCM0	
0xx02h									WADDR
0xx03h									WDATA
0xx04h	—	—	—	—	—	—	—	—	TCR
	—	—	—	—	—	—	—	—	
0xx05h	—	—	—	—	—	—	—	—	ENAB
	—	—	—	—	—	—	—	—	
0xx06h	—	—	—	—	—	—	—	—	SECT
	—	—	—	—	SECT 4 ENABLE	SECT 3 ENABLE	SECT 2 ENABLE	SECT 1 ENABLE	
	IO 存储空间								
0FF0Fh	—	—	—	—	—	—	—	—	FCMR
	—	—	—	—	—	—	—	—	
	等待状态发生器控制寄存器								
0FFFFh	—	—	—	—	—	BVIS.1	BVIS.0	ISWS.2	WSGR
	ISWS.1	ISWS.0	DSWS.2	DSWS.1	DSWS.0	PSWS.2	PSWS.1	PSWS.0	

7 机械数据

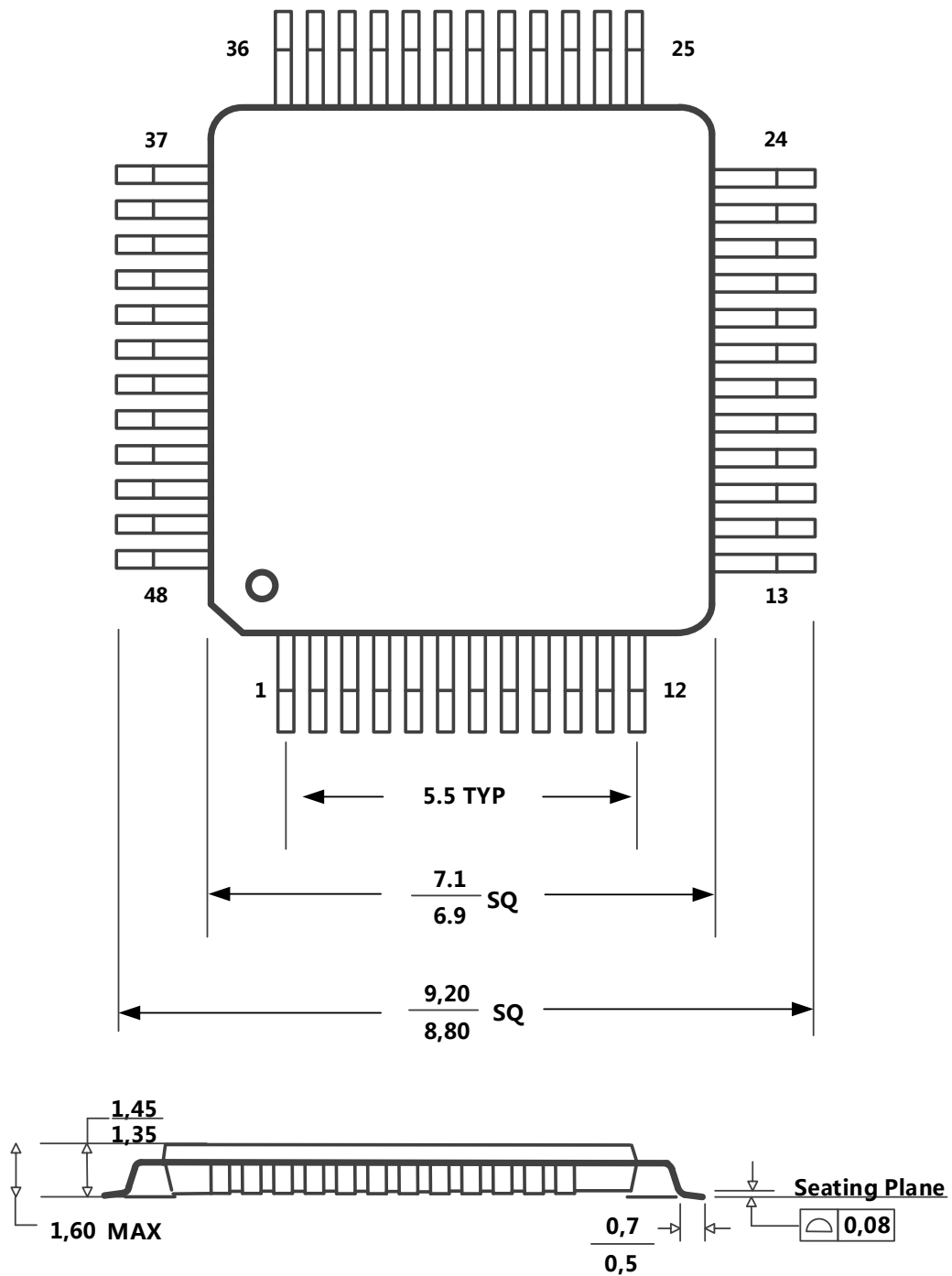
LQFP100



单位：mm

图 7-1. LQFP100 封装外形尺寸图

LQFP48



单位：mm

图 7-1. LQFP48 封装外形尺寸图

联系方式

公司网址：www.advancechip.com

联系邮箱：sales@advancechip.com

销售联系电话：0731-88731027

公司总部地址：长沙市高新开发区尖山路 39 号中电软件园总部大楼 10 楼